

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156473

(P2000-156473A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/04		27/04	C
21/822		27/10	6 5 1
27/108		29/78	3 7 1
21/8242			

審査請求 未請求 請求項の数14 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願平11-241478	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成11年8月27日(1999.8.27)	(72) 発明者	朱 莎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31) 優先権主張番号	特願平10-265139	(72) 発明者	能代 英之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32) 優先日	平成10年9月18日(1998.9.18)	(74) 代理人	100070150 弁理士 伊東 忠彦
(33) 優先権主張国	日本 (J P)		

最終頁に続く

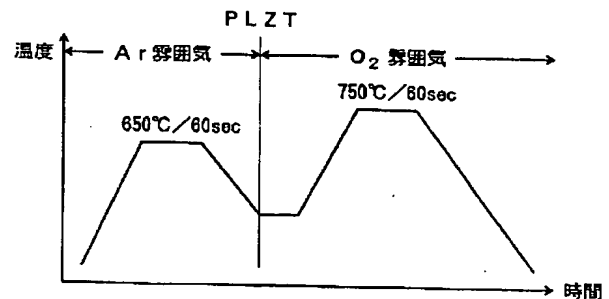
(54) 【発明の名称】 半導体装置およびその製造方法、キャパシタの製造方法

## (57) 【要約】

【課題】 強誘電体あるいは高誘電体キャパシタを有する半導体装置の製造方法において、強誘電体膜あるいは高誘電体膜の特性を向上させ、リーク電流を低減する。

【解決手段】 強誘電体膜上に形成される上側電極を、酸化雰囲気中で形成する。また、強誘電体膜あるいは高誘電体膜の結晶化工程を、最初に不活性雰囲気中における熱処理により、次に酸化雰囲気中における熱処理により行う。

本発明第1実施例による強誘電体キャパシタの  
キャパシタ絶縁膜を結晶化する熱処理工程を示す図



1

## 【特許請求の範囲】

【請求項 1】 強誘電体キャパシタを有する半導体装置の製造方法において、  
下側電極を形成する工程と、  
前記下側電極上にペロブスカイト型構造を有する強誘電体膜を堆積する工程と、  
前記強誘電体膜を酸化雰囲気中において熱処理し、結晶化する工程と、  
前記結晶化工程の後、前記強誘電体膜上に上側電極を形成する工程とよりなり、  
前記上側電極を形成する工程において、前記上側電極は酸化雰囲気中で形成されることを特徴とする半導体装置の製造方法。

【請求項 2】 前記上側電極を形成する工程は、Pt, Ir, Ru, IrO<sub>2</sub> あるいは RuO<sub>2</sub> を前記強誘電体膜上にスパッタリングにより形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ペロブスカイト型構造の強誘電体膜は、Pb(Zr, Ti)O<sub>3</sub> または (Pb, La)Zr, Ti)O<sub>3</sub> よりなることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】 キャパシタを有する半導体装置の製造方法において、  
下側電極を形成する工程と、  
前記下側電極上にペロブスカイト型構造を有する誘電体膜を堆積する工程と、  
前記誘電体膜を不活性雰囲気中において熱処理し、結晶化する工程と、  
前記誘電体膜を、前記不活性雰囲気中の熱処理工程の後、酸化雰囲気中において熱処理する工程と、  
前記酸化雰囲気中における熱処理工程の後、前記誘電体膜上に上側電極を形成する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項 5】 前記不活性雰囲気中での熱処理工程は、400～900℃の範囲の温度において実行されることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記ペロブスカイト型構造の誘電体膜は、Pb(Zr, Ti)O<sub>3</sub>, (Pb, La)(Zr, Ti)<sub>3</sub>, (Ba, Sr)TiO<sub>3</sub>, (Sr, Ba)TiO<sub>3</sub>, SrTiO<sub>3</sub> よりなる群から選ばれることを特徴とする請求項 4 または 5 記載の半導体装置の製造方法。

【請求項 7】 前記上側電極を形成する工程は、酸化雰囲気中で実行されることを特徴とする請求項 4～6 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 8】 基板と、前記基板上に形成されたメモリセルトランジスタと、前記基板上に形成され、前記メモリセルトランジスタ中の拡散領域と電気的にコンタクトするメモリセルキャパシタとよりなる半導体記憶装置において、

2

前記メモリセルキャパシタは前記拡散領域と電気的にコンタクトする下側電極と、前記下側電極上に形成されたペロブスカイト型構造を有する誘電体キャパシタ膜と、前記誘電体キャパシタ膜上に形成された、Pt よりなる上側電極とよりなり、

前記上側電極は、前記上側電極を実質的に不活性雰囲気中で形成した場合に前記上側電極が示すスパッタエッチング速度よりも、実質的に低いスパッタエッチング速度を示すことを特徴とする半導体記憶装置。

10 【請求項 9】 前記上側電極のスパッタエッチング速度は、前記上側電極を実質的に不活性雰囲気中で形成した場合に前記上側電極が示すスパッタエッチング速度より約 1 割低いスパッタエッチング速度を示すことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 キャパシタを有する半導体装置の製造方法において、

下側電極を形成する工程と、  
前記下側電極上に高誘電体膜を堆積する工程と、  
前記高誘電体膜を不活性雰囲気中において熱処理し、結晶化する工程と、  
前記高誘電体膜を、前記不活性雰囲気中の熱処理工程の後、酸化雰囲気中において熱処理する工程と、  
前記酸化雰囲気中における熱処理工程の後、前記高誘電体膜上に上側電極を形成する工程とよりなり、  
前記酸化雰囲気中における熱処理は、前記下側電極が実質的に酸化しないような温度で実行されることを特徴とする半導体装置の製造方法。

30 【請求項 11】 さらに、前記結晶化工程に先立って、前記高誘電体膜を、酸化雰囲気中において、前記下側電極が酸化しないような温度で熱処理する工程を含むことを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記高誘電体膜は、(Ba, Sr)TiO<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, SrTiO<sub>3</sub>, Pb(Zr, Ti)O<sub>3</sub>, (Pb, La)(Zr, Ta)O<sub>3</sub> よりなる群より選択されることを特徴とする請求項 10 または 11 記載の半導体装置の製造方法。

【請求項 13】 前記下側電極は、Pt, Ru, Ir, IrO<sub>2</sub>, RuO<sub>2</sub>, SrRuO<sub>3</sub>, WN よりなる群より選択されることを特徴とする請求項 10～12 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 14】 下側電極を形成する工程と、  
前記下側電極上にペロブスカイト型構造を有する誘電体膜を堆積する工程と、  
前記誘電体膜を不活性雰囲気中に保持し、熱処理温度まで昇温する工程と、  
前記誘電体膜を前記熱処理温度に保持し、前記不活性雰囲気を酸化雰囲気に切替える工程と、  
前記誘電体膜を、前記酸化雰囲気中において熱処理する工程と、

50 前記酸化雰囲気中における熱処理工程の後、前記誘電体

3

膜上に上側電極を形成する工程とよりなることを特徴とするキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、特に強誘電体薄膜を使った半導体記憶装置の製造方法に関する。いわゆるDRAMあるいはSRAM等の半導体記憶装置はコンピュータを始めとする情報処理装置において高速主記憶装置として広く使われているが、これらは揮発性の記憶装置であり、電源をオフにすると記憶された情報は失われてしまう。これに対し、従来よりプログラムやデータを格納する大容量補助記憶装置として不揮発性の磁気ディスク装置が使われている。

【0002】しかし、磁気ディスク装置は大型で機械的に脆弱であり、消費電力も大きく、さらに情報を読み書きする際のアクセス速度が遅い欠点を有している。これに対し、最近では不揮発性補助記憶装置として、フローティングゲート電極に情報を電荷の形で蓄積するEEPROMあるいはフラッシュメモリが使われていることが多くなっている。特にフラッシュメモリはDRAMと同様なセル構成を有するため大きな集積密度に形成しやすく、磁気ディスク装置に匹敵する大容量記憶装置として期待されている。

【0003】一方、EEPROMやフラッシュメモリでは、情報の書き込みがトンネル絶縁膜を介してのフローティングゲート電極へのホットエレクトロンの注入によってなされるため、必然的に書き込みに時間がかかり、また情報の書き込みおよび消去を繰り返すとトンネル絶縁膜が劣化してしまう問題が生じていた。トンネル絶縁膜が劣化してしまうと書き込みあるいは消去動作が不安定になってしまう。

【0004】これに対し、情報を強誘電体膜の自発分極の形で記憶する強誘電体メモリ装置（以下FeRAMと記す）が提案されている。かかるFeRAMでは個々のメモリセルトランジスタがDRAMの場合と同様に単一のMOSFETよりなり、メモリセルキャパシタ中の誘電体膜をPZT(Pb(Zr, Ti)O<sub>3</sub>)あるいはPLZT(Pb(Zr, Ti, La)O<sub>3</sub>)等の強誘電体に置き換えた構成を有しており、高い集積密度での集積が可能である。また、FeRAMは電界の印加により強誘電体キャパシタの自発分極を制御するため、書き込みをホットエレクトロンの注入によって行なうEEPROMやフラッシュメモリに比べて書き込み速度が1000倍あるいはそれ以上速くなり、また消費電力が約1/10に低減される有利な特徴を有している。さらにトンネル酸化膜を使う必要がないため寿命も長く、フラッシュメモリの10万倍の書き換え回数を確保できると考えられる。

【0005】現在実現されているFeRAMは1μm前後の比較的緩い設計ルールで設計されているものが多い

4

が、集積回路上においてサブミクロンまで微細化された最近の高速CMOS論理回路との混載が可能なるように、FeRAMの微細化をさらに進めることが研究されている。

【0006】

【従来の技術】図1は従来のFeRAM10の構成を示す。図1を参照するに、FeRAM10はp型Si基板11上に形成され、前記Si基板11表面にはフィールド酸化膜12により活性領域が画成される。前記活性領域中には図示を省略したゲート酸化膜を介してメモリセルトランジスタのゲート電極13がFeRAMのワード線に対応して形成され、さらに前記基板11中には前記ゲート電極13の両側にn<sup>+</sup>型の拡散領域11A、11Bが、それぞれメモリセルトランジスタのソース領域およびドレイン領域として形成される。また、前記基板11中には前記拡散領域11Aと11Bとの間にチャネル領域が形成される。

【0007】前記ゲート電極13は前記Si基板11の表面を前記活性領域において覆うCVD酸化膜14により覆われ、さらに前記CVD酸化膜14は平坦化層間絶縁膜15により覆われる。前記層間絶縁膜15中には前記拡散領域11Bを露出するコンタクトホール15Aが形成され、前記コンタクトホール15AはポリシリコンあるいはWSiよりなるプラグ16により充填される。

【0008】さらに、前記層間絶縁膜15上には前記プラグ16の露出部を覆うようにTi/TiN構造の密着膜17が形成され、前記密着膜17上にPt等よりなる下側電極18が形成される。さらに前記下側電極18上にはPZT(Pb(Zr, Ti)O<sub>3</sub>)あるいはPLZT(Pb, La)(Zr, Ti)O<sub>3</sub>)よりなる強誘電体膜19が形成され、前記強誘電体膜19上にはPt等よりなる上側電極20が形成される。

【0009】前記下側電極18、強誘電体膜19および上側電極20よりなる強誘電体キャパシタの側壁面はCVD酸化膜21により覆われ、さらに前記強誘電体キャパシタの全体は層間絶縁膜22により覆われる。前記層間絶縁膜22中には前記拡散領域22Aを露出するコンタクトホール22Aが形成され、前記層間絶縁膜22上には前記コンタクトホール22Aにおいて前記拡散領域22AとコンタクトするAlあるいはAl合金よりなるビット線パターン23が形成される。

【0010】図2は図1のFeRAM10において前記強誘電体膜19として使われるPLZTの自発分極特性を示す。図2を参照するに、図1のFeRAM10において前記下側電極18と上側電極20との間に所定の書き込み電圧を印加することにより、前記強誘電体膜19を構成するPLZT膜中の自発分極が反転し、所望の二値情報が前記強誘電体膜19中に書き込まれる。また、図1のFeRAM10において書き込まれた二値情報を読み出すには前記ワード線、すなわちゲート電極13を

5

活性化し、前記チャネル領域を通して前記ビット線電極 23 に現れる電圧を検出する。図 2 のヒステリシスループにおいて電界強度がゼロにおける幅  $2Pr$ 、すなわち残留分極の値が大きいほど FeRAM10 による情報の保持が確実になされる。また書き込みに要する電界の値も減少する傾向にあり、その結果 FeRAM10 の低電力駆動が可能になる。換言すると、図 1 の FeRAM10 では強誘電体膜 19 の残留分極  $2Pr$  の値を最大化することが望ましい。

【0011】また、図 1 に示す強誘電体膜 19 を使った半導体メモリ装置はそのまま DRAM としても使用可能である。この場合、強誘電体膜 19 の誘電率が非常に大きいため、キャパシタを特殊な形状としなくても十分なキャパシタ容量が確保でき、その結果半導体メモリ装置を微細化することができる。

【0012】

【発明が解決しようとする課題】ところで、このような強誘電体キャパシタを形成するに当たっては、前記強誘電体膜 19 の結晶化工程と上部電極 20 の形成工程が非常に重要である。強誘電体膜 19 の結晶化工程を行わないと、強誘電体キャパシタに所望の特性は得られない。

【0013】従来より、かかる強誘電体キャパシタの形成では、最初に  $Ti/TiN$  構造の密着層 17 および Pt よりなる下側電極 18 が、前記層間絶縁膜 15 上に還元雰囲気中、あるいは不活性雰囲気中でのスパッタリングにより順次形成され、次いで前記下側電極 18 上に PZT よりなる強誘電体膜 19 が、スパッタリングにより形成される。前記下側電極 18 を還元雰囲気あるいは不活性雰囲気中で形成することにより、下側電極 18 の酸化、および酸化に伴う抵抗値の増加の問題が回避される。

【0014】次に、前記強誘電体膜 19 は酸化雰囲気中、典型的には  $700 \sim 800^\circ C$  の温度で熱処理され、形成された PZT 膜が結晶化される。その際、前記強誘電体膜 19 を酸化雰囲気中で熱処理することにより、強誘電体膜 19 中において酸素が膜 19 から下側電極 18 に拡散することによって形成される酸素欠損が補償され、強誘電体膜 19 は、図 2 に示すヒステリシス幅  $2Pr$  が大きい優れたヒステリシス特性を示す。

【0015】前記強誘電体膜 19 の形成の後、膜 19 上には前記上側電極 20 が、Pt 膜の堆積により形成される。その際、前記上側電極 20 の堆積は前記電極 20 を構成する Pt が酸化しないように Ar 等の不活性雰囲気中で行われていた。しかし、このように上側電極 20 を前記強誘電体膜 19 上に不活性雰囲気中において形成した場合には、前記強誘電体膜 19 から酸素が上側電極 20 により引き抜かれるのを完全に抑止することができず、その結果、得られる強誘電体キャパシタの特性が劣化するのが避けられない。

6

【0016】より具体的には、前記上側電極 20 の形成に伴い、前記強誘電体膜 19 を構成する PZT から酸素が電極 20 に引き抜かれ、膜 19 中に酸素欠損が形成される。また、かかる酸素欠損に電極 20 から Pt が拡散し、その結果生じる Pt と酸素の相互拡散の結果として強誘電体膜 19 において疲労特性や保持特性等に様々な劣化が生じてしまう。

【0017】そこで、本発明は上記の課題を解決した新規で有用な強誘電体キャパシタを有する半導体装置およびその製造方法を提供することを概括的課題とする。本発明のより具体的な課題は、電極の形成に伴う特性の劣化を回避できる強誘電体キャパシタおよびその製造方法、さらにかかる強誘電体キャパシタを有する半導体装置およびその製造方法を提供することにある。

【0018】

【課題を解決するための手段】本発明は上記の課題を、請求項 1 に記載したように、強誘電体キャパシタを有する半導体装置の製造方法において、下側電極を形成する工程と、前記下側電極上にペロブスカイト型構造を有する強誘電体膜を堆積する工程と、前記強誘電体膜を酸化雰囲気中において熱処理し、結晶化する工程と、前記結晶化工程の後、前記強誘電体膜上に上側電極を形成する工程とよりなり、前記上側電極を形成する工程において、前記上側電極は酸化雰囲気中で形成されることを特徴とする半導体装置の製造方法により、または請求項 2 に記載したように、前記上側電極を形成する工程は、Pt, Ir, Ru, IrO<sub>2</sub> あるいは RuO<sub>2</sub> を前記強誘電体膜上にスパッタリングにより形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法により、または請求項 3 に記載したように、前記ペロブスカイト型構造の強誘電体膜は、 $Pb(Zr, Ti)O_3$  または  $(Pb, La)(Zr, Ti)O_3$  よりなることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法により、または請求項 4 に記載したように、キャパシタを有する半導体装置の製造方法において、下側電極を形成する工程と、前記下側電極上にペロブスカイト型構造を有する誘電体膜を堆積する工程と、前記誘電体膜を不活性雰囲気中において熱処理し、結晶化する工程と、前記誘電体膜を、前記不活性雰囲気中の熱処理工程の後、酸化雰囲気中において熱処理する工程と、前記酸化雰囲気中における熱処理工程の後、前記誘電体膜上に上側電極を形成する工程とよりなることを特徴とする半導体装置の製造方法により、または請求項 5 に記載したように、前記不活性雰囲気中での熱処理工程は、 $400 \sim 900^\circ C$  の範囲の温度において実行されることを特徴とする請求項 4 記載の半導体装置の製造方法により、または請求項 6 に記載したように、前記ペロブスカイト型構造の誘電体膜は、 $Pb(Zr, Ti)O_3$ ,  $(Pb, La)(Zr, Ti)_3$ ,  $(Ba, Sr)TiO_3$ ,  $(Sr, Ba)TiO_3$ ,  $SrTiO_3$  よりなる

7

群から選ばれることを特徴とする請求項4または5記載の半導体装置の製造方法により、または請求項7に記載したように、前記上側電極を形成する工程は、酸化雰囲気中で実行されることを特徴とする請求項4～6のうち、いずれか一項記載の半導体装置の製造方法により、または請求項8に記載したように、基板と、前記基板上に形成されたメモリセルトランジスタと、前記基板上に形成され、前記メモリセルトランジスタ中の拡散領域と電気的にコンタクトするメモリセルキャパシタとよりなる半導体記憶装置において、前記メモリセルキャパシタは前記拡散領域と電気的にコンタクトする下側電極と、前記下側電極上に形成されたペロブスカイト型構造を有する誘電体キャパシタ膜と、前記誘電体キャパシタ膜上に形成された、Ptよりなる上側電極とよりなり、前記上側電極は、前記上側電極を実質的に不活性雰囲気中で形成した場合に前記上側電極が示すスパッタエッチング速度よりも、実質的に低いスパッタエッチング速度を示すことを特徴とする半導体記憶装置により、または請求項9に記載したように、前記上側電極のスパッタエッチング速度は、前記上側電極を実質的に不活性雰囲気中で形成した場合に前記上側電極が示すスパッタエッチング速度より約1割低いスパッタエッチング速度を示すことを特徴とする請求項8記載の半導体記憶装置により、または請求項10に記載したように、キャパシタを有する半導体装置の製造方法において、下側電極を形成する工程と、前記下側電極上に高誘電体膜を堆積する工程と、前記高誘電体膜を不活性雰囲気中において熱処理し、結晶化する工程と、前記高誘電体膜を、前記不活性雰囲気中の熱処理工程の後、酸化雰囲気中において熱処理する工程と、前記酸化雰囲気中における熱処理工程の後、前記高誘電体膜上に上側電極を形成する工程とよりなり、前記酸化雰囲気中における熱処理は、前記下側電極が実質的に酸化しないような温度で実行されることを特徴とする半導体装置の製造方法により、または請求項11に記載したように、さらに、前記結晶化工程に先立って、前記高誘電体膜を、酸化雰囲気中において、前記下側電極が酸化しないような温度で熱処理する工程を含むことを特徴とする請求項10記載の半導体装置の製造方法により、または請求項12に記載したように、前記高誘電体膜は、 $(Ba, Sr)TiO_3$ 、 $Ta_2O_5$ 、 $SrTiO_3$ 、 $(Pb(Zr, Ti)O_3)$ 、 $(Pb, La)(Zr, Ti)O_3$ よりなる群より選択されることを特徴とする請求項10または11記載の半導体装置の製造方法により、または請求項13に記載したように、前記下側電極は、Pr, Ru, Ir,  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_3$ , WNよりなる群より選択されることを特徴とする請求項10～12のうち、いずれか一項記載の半導体装置の製造方法により、または請求項14に記載したように、下側電極を形成する工程と、前記下側電極上にペロブスカイト型構造を有する誘電体膜を堆積する

8

工程と、前記誘電体膜を不活性雰囲気中に保持し、熱処理温度まで昇温する工程と、前記誘電体膜を前記熱処理温度に保持し、前記不活性雰囲気を酸化雰囲気中に切替える工程と、前記誘電体膜を、前記酸化雰囲気中において熱処理する工程と、前記酸化雰囲気中における熱処理工程の後、前記誘電体膜上に上側電極を形成する工程とよりなることを特徴とするキャパシタの製造方法により、解決する。

【0019】[作用] 本発明によれば、半導体メモリ装置において強誘電体キャパシタを形成する際に、上部電極を酸化雰囲気中で形成することにより、形成される強誘電体キャパシタの疲労特性、保持特性、すりこみ特性および耐はがれ性を著しく向上させることができる。

【0020】また本発明によれば、PZTやPLZT等のペロブスカイト型の強誘電体膜を最初に不活性雰囲気中で熱処理し、次いで酸化雰囲気中で熱処理することにより、膜中の結晶方位を $\langle 111 \rangle$ 方向に整列させることができ、残留分極 $2Pr$ の値を最大化できる。また、前記ペロブスカイト型の強誘電体膜あるいはBST, SBT, STO等の高誘電体膜の結晶化を、最初に不活性雰囲気中で行なうことにより、下側電極が緻密化し、下側電極と誘電体膜との境界面におけるPtとOの相互拡散が抑制される。これに伴い、誘電体膜中の欠陥をキャリアとするキャパシタ中のリーク電流が実質的に低減される。また前記酸化雰囲気中での熱処理を行なうことにより、強誘電体膜中の酸素欠損が補償される。

【0021】また本発明によれば、前記酸化雰囲気中での熱処理を、不活性雰囲気中での熱処理とは別に、高誘電体キャパシタの下側電極が酸化しないような温度で行なうことにより、下側電極の酸化、およびこれに伴う欠陥の発生が回避される。また、酸化雰囲気中での熱処理を不活性雰囲気中での熱処理と切り離して行なうことにより、前記不活性雰囲気中での熱処理を高い温度で行なうことが可能になり、高誘電体膜の誘電率が最大化される。

【0022】

【発明の実施の形態】[第1実施例] 図3(A),

(B)は本発明の第1実施例による強誘電体キャパシタ30の製造工程を示す。図3(A)を参照するに、Si基板31上には $SiO_2$ 膜32が熱酸化により約200nmの厚さに形成されており、前記 $SiO_2$ 膜32上にはTi膜とPt膜とを順次積層したPt/Ti構造の下側電極層33が、表1に示す条件で、スパッタリングにより形成される。

【0023】

【表1】

9

	Arガス圧 (mTorr)	DC Power (KW)	time (S)	膜厚 (nm)
Ti	10	1.0	10	20
Pt	10	1.0	20	100

次に、前記下側電極層33上にPLZT膜34がスパッタリングにより、表2に示す条件で堆積される。

【0024】

【表2】

Arガス圧 (mTorr)	RF Power (KW)	時間 (min)	膜厚 (nm)
10	1.5	10	300

さらに、形成されたPLZT膜34を、図4に示すように最初にAr等の不活性雰囲気中で、次いでO<sub>2</sub>雰囲気\*

	Arガス圧 (mTorr)	O <sub>2</sub> ガス圧 (mTorr)	DC Power (KW)	time (S)	膜厚 (nm)
Pt	5	1	0.3	200	100

前記上側電極35のスパッタリングを表3に示すように酸素を含む条件下で行なうことにより、前記PLZT膜34と上側電極35との境界面におけるPLZT膜34から上側電極35へのOの引き抜きが抑制され、また上側電極35が緻密化する。これにより、PLZT膜34の残留分極2Prは最大化する。

【0027】次に、図3(B)の工程において、前記上\*

	Arガス圧 (mTorr)	Power (KW)	時間 (min)
Pt	0.2	1	3
(Pb,La)(Zr,Ti)O <sub>3</sub>	0.2	1	5

表5は、このようにして得られた強誘電体キャパシタ30の残留分極2Prとリーク電流を、従来の方法で形成した強誘電体キャパシタと比較して示す。

★

	2Pr ( $\mu\text{C}/\text{cm}^2$ )	Leakage Current(-5V/+5V) (A/cm <sup>2</sup> )
従来	17.4	3.4E-4/4.2E-4
本発明(結晶化後)	48.2	1.5E-7/4.2E-7
本発明(上部電極成膜後)	51.1	1.1E-7/2.7E-7

ただし、表5中、従来の強誘電体キャパシタは前記強誘電体キャパシタ30と同様な構成を有するが、強誘電体膜34が酸化雰囲気中における急速熱処理(750°C, 60秒間)により結晶化され、また上側電極層35がAr雰囲気中におけるスパッタにより形成されている点で異なる。

【0030】表5を参照するに、強誘電体膜34Aの残留分極は結晶化直後の段階で従来の値の2倍以上に増加

10

\*中において、それぞれ650°Cおよび750°Cの温度で急速熱処理し、結晶化を行なう。その際、後程説明するように、前記PLZT膜34を最初に不活性雰囲気中において結晶化することにより、下側電極33を構成するPt膜が緻密化し、電極33とPLZT膜34との間の境界面近傍におけるPtとOの相互拡散が抑制される。また結晶化の結果、前記PLZT膜34中において、PLZTの結晶は望ましい<111>方向に配向する。さらに前記PLZT膜34の結晶化を酸素雰囲気中において行なうことにより、PLZT結晶格子中の酸素欠陥が補充される。

【0025】次に、前記結晶化したPLZT膜34上にPtよりなる上側電極層35を、表3に示す酸素を含む条件下でのスパッタリングにより堆積する。

【0026】

【表3】

\*側電極層35、PLZT膜34および下側電極層33を表4に示す条件でスパッタエッチングし、下側電極パターン33A、キャパシタ絶縁膜パターン34Aおよび上側電極パターン35Aをそれぞれ下側電極層33、PLZT膜34および上側電極層35に対応して形成する。

【0028】

【表4】

★【0029】

【表5】

しており、また前記上側電極35を酸化雰囲気中で形成することにより、その値がさらに増加することがわかる。また、表5よりわかるように、リーク電流の値も従来の強誘電体キャパシタの1/1000程度まで減少していることがわかる。

【0031】図5は、このようにして得られた強誘電体キャパシタ30の疲労特性を、従来のものと比較して示す。ただし、従来の強誘電体キャパシタでは、表5の従

来の強誘電体キャパシタと同様に、強誘電体膜 34 が酸化雰囲気において結晶化され、また上側電極層 35 が Ar 雰囲気中でのスパッタにより形成されている。図 5 を参照するに、従来の方法によるキャパシタでは、残留分極 2Pr の値は電圧印加サイクルの開始と同時に略直線的に低下を始めるのに対し、前記強誘電体膜 34 を図 4 に示す 2 段階熱処理工程により結晶化させた場合には、残留分極 2Pr の劣化は、少なくとも 1 万回程度の電圧印加サイクル数では生じないことがわかる。さらに、本実施例に示すように、前記上側電極を酸化雰囲気 10 中において形成することにより、電圧印加サイクル数が 100 万回を超えても強誘電体キャパシタは十分に大きい残留分極を示すことがわかる。

【0032】図 6 は、本実施例の強誘電体キャパシタ 30 の保持特性を、従来のものと比較して示す。ただし、従来の強誘電体キャパシタでは、表 5 の従来の強誘電体キャパシタと同様に、強誘電体膜 34 が酸化雰囲気中において結晶化され、また上側電極層 35 が Ar 雰囲気中でのスパッタにより形成されている。図 6 を参照するに、従来の方法によるキャパシタでは、残留分極 2Pr の値は 150°C での熱処理の開始と同時に略直線的に 20 低下を始めるのに対し、強誘電体膜 34 を図 4 の 2 段階熱処理工程により結晶化させた場合には、10 時間の保持でも残留分極 2Pr の値は約 40 で、減少率はごくわずかである。また、本実施例におけるように前記上側電極層 35 を酸化雰囲気中で形成した場合には、残留分極 2Pr の値はさらに大きく、しかも熱処理時間によってほとんど減少しないことがわかる。

【0033】図 7 は、本実施例の強誘電体キャパシタ 30 のすりこみ特性を、従来のものと比較して示す。ただし、従来の強誘電体キャパシタでは、表 5 の従来の強誘電体キャパシタと同様に、強誘電体膜 34 が酸化雰囲気中において結晶化され、また上側電極層 35 が Ar 雰囲気中でのスパッタにより形成されている。図 7 を参照するに、従来の方法によるキャパシタでは、残留分極 2Pr の値は非常に小さく、また 150°C での熱処理の開始と同時に略直線的に低下を始める。また、強誘電体膜 34 を図 4 の 2 段階熱処理工程により結晶化させた場合 30 にも、残留分極 2Pr の値は約 40 から時間と共に略直線的に減少するのに対し、本実施例におけるように前記上側電極層 35 を酸化雰囲気中で形成した場合には、残留分極 2Pr の値は約 50 程度で、熱処理時間によって 40 はほとんど減少しないことがわかる。

【0034】図 8 (A), (B) は、図 4 の 2 段階結晶化熱処理工程を行なった PLZT 膜 34 の X 線回折パターンを、従来の酸化雰囲気中で結晶化熱処理工程を行なった PLZT 膜の X 線回折パターンと比較して示す。ただし、図 8 (A) は従来の結晶化熱処理を行なった PLZT 膜の X 線回折パターンを、また図 8 (B) は上記 2 段階結晶化熱処理工程を行なった PLZT 膜の X 線回折 50

パターンを示す。

【0035】図 8 (A) を参照するに、従来の結晶化熱処理を行なった PLZT 膜では顕著な (100) 面による回折ピークが観測されるのに対し、図 4 の 2 段階結晶化熱処理を行なった PLZT 膜では (100) 面による反射がほとんどゼロになっていることがわかる。これに伴い、図 8 (A) の回折パターンでは非常に弱かった (111) 面の反射が図 8 (B) の回折パターンでは高くなっており、強誘電体キャパシタ 30 においては PLZT 膜 34 中において、PLZT 結晶が <111> 方向に選択的に配向していることが示される。

【0036】図 9 は、前記従来の酸化雰囲気中で結晶化熱処理工程を行なった PLZT 膜を有する強誘電体キャパシタの Auger 分析の結果を、また図 10 は図 3

(B) の強誘電体キャパシタ 30 の Auger 分析の結果を示す。図 9 を参照するに、PLZT 膜 34 に直接に従来の酸化雰囲気中での結晶化熱処理工程を行なった場合には、下側電極層 33 中に実質的な量の O が拡散により侵入し、また前記 PLZT 膜 34 に実質的な量の Pt が拡散により侵入していることがわかる。これに対し、図 10 を参照するに、前記 PLZT 膜 34 の結晶化熱処理を行なう際に、図 4 の 2 段階熱処理を行なった場合には、前記 PLZT 膜 34 と下側電極層 33 との界面における Pt と O の相互拡散が効果的に抑制されていることがわかる。これは、前記 2 段階結晶化熱処理工程の最初の熱処理工程を不活性雰囲気中において行なうことにより、下側電極層 33 が緻密化することによるものと考えられる。

【0037】ところで、図 9, 10 の Auger 分析結果によると、前記強誘電体キャパシタ 30 の上側電極層 35 をスパッタエッチングしてその下の PLZT 膜 34 を露出するのに要する時間が、図 10 に示すように前記上側電極層 35 を酸化雰囲気中において形成した場合の方が、Ar 雰囲気中で形成した場合よりも長くなる傾向が認められた。これは、前記上側電極層 35 を酸化雰囲気中において形成した場合、Ar 雰囲気中で形成するよりも緻密化することを示唆している。

【0038】そこで、前記上側電極層 35 の酸化雰囲気中での形成による緻密化の現象を確認する実験を行なった。図 11 (A) は、前記上側電極層 35 を表 3 に示す酸化雰囲気中におけるスパッタリングにより 130 nm の厚さに形成した場合の強誘電体キャパシタ 30 の断面構造を、また図 11 (B) は図 11 (A) の構造に対して行なった Auger 分析の結果を示す。

【0039】図 11 (B) より、Auger 分析により厚さが 130 nm の上側電極層 35 をスパッタエッチングするのに 17.5 分間の時間が必要であることがわかる。この場合、前記上側電極層 35 のスパッタエッチング速度は 7.43 nm/min となる。これに対し、図 12 (A) は、前記上側電極層 35 を Ar 雰囲気中にお

13

けるスパッタリングにより100nmの厚さに形成した場合の強誘電体キャパシタの断面構造を、また図12

(B)は図12(A)の構造に対して行なったAuger分析の結果を示す。

【0040】図12(B)より、Auger分析により厚さが100nmの上側電極層35をスパッタエッチングするのに12.5分間の時間が必要であることがわかる。この場合、前記上側電極層35のスパッタエッチング速度は8.0nm/minとなり、前記電極層35を酸化雰囲気中で形成した場合よりも約1割程度大きくなっている。換言すると、前記上側電極層35を酸化雰囲気中において形成することにより電極層35は緻密化し、エッチング速度が約1割程度減少する。このことは、先に図9、10で説明した上側電極層35の酸化雰囲気中での形成に伴う緻密化の現象を確認するものである。

【0041】なお、本実施例による強誘電体キャパシタの製造方法は、強誘電体膜34としてPZTあるいはPLZTを使ったものに限定されるものではなく、BST(BaSrTiO<sub>3</sub>)、SBT(SrTiO<sub>3</sub>)あるいはSTO(SrTiO<sub>3</sub>)を使うことも可能である。ただし、BST、SBTあるいはSTOを使った場合にはキュリー温度が低いため、キャパシタは高誘電体キャパシタとなる。

【0042】また、前記上側電極35を形成する際の酸化雰囲気はO<sub>2</sub> 雰囲気中に限定されるものではなく、O<sub>3</sub>、NOあるいはNO<sub>2</sub> 雰囲気であってもよい。さらに、図4に示す前記強誘電体膜34を結晶化する2段階熱処理工程は、不活性雰囲気中での熱処理工程も酸化雰囲気中での熱処理工程も、400~900°Cの範囲の温度で実行することができる。

【0043】さらに、前記下側電極層33および上側電\*

	2Pr ( $\mu\text{C}/\text{cm}^2$ )	Leakage Current (A/cm <sup>2</sup> )	V(90) (V)	Etching 後上部電極の 剥がれ状況
従来	29.7	(-5.0V)3.4E-6/1.5E-4(+5.0V)	3.5	剥がれた
本発明	29.4	(-5.0V)2.2E-6/1.7E-6(+5.0V)	3.8	剥がれなかった

表7を参照するに、本実施例による強誘電体キャパシタも従来の強誘電体キャパシタも残留分極2Prおよび飽和電圧の値はたいして変わらないが、リーク電流の値は特に+5.0Vの電圧を印加した場合に100分の1程度まで減少することがわかる。また表4の条件でのエッチングの後、従来のキャパシタでは上側電極パターン35Aがはがれてしまうのに対し、本実施例による強誘電体キャパシタではかかる上側電極パターン35Aのはがれは観察されなかった。

【0046】【第3実施例】図13(A)~15(H)は本発明の第3実施例によるFeRAMの製造工程を示す図である。図13(A)を参照するに、p-型Si基

14

\*極層35において、PtのかわりにIr, Ru, IrO<sub>2</sub>あるいはRuO<sub>2</sub>を使うことも可能である。

【第2実施例】次に、本発明の第2実施例による強誘電体キャパシタの製造工程を説明する。本実施例においても図3(A)に示す積層構造体が、基板31を覆うSiO<sub>2</sub>膜32上に下側電極層33、PLZT膜34および上側電極層35を先と同様に積層することにより形成され、さらに図3(B)の工程で前記上側電極層35、PLZT膜34および下側電極層33を表4に説明した条件でパターンニングすることによりキャパシタが形成されるが、本実施例では前記PLZT膜34を堆積するスパッタ工程を、表6に示す条件で行ない、さらに結晶化熱処理工程を図4に示す2段階工程ではなく750°C、酸素雰囲気中において60秒間実行することにより行なう。

【0044】

【表6】

Arガス圧 (mTorr)	RF Power (KW)	時間 (min)	膜厚 (nm)
10	1.0	7	240

表7は、かかるPLZT膜34の結晶化を酸化雰囲気中に行なった場合の強誘電体キャパシタの残留分極2Pr、リーク電流、飽和電圧V(90)、および上側電極パターン35Aのはがれ状態を、従来の上側電極層35を不活性雰囲気中で形成したキャパシタと比較して示す。ただし、飽和電圧V(90)は、強誘電体膜34の分極を飽和分極の90%にするのに必要な印加電圧を表す。

【0045】

【表7】

	2Pr ( $\mu\text{C}/\text{cm}^2$ )	Leakage Current (A/cm <sup>2</sup> )	V(90) (V)	Etching 後上部電極の 剥がれ状況
従来	29.7	(-5.0V)3.4E-6/1.5E-4(+5.0V)	3.5	剥がれた
本発明	29.4	(-5.0V)2.2E-6/1.7E-6(+5.0V)	3.8	剥がれなかった

板51上にはフィールド酸化膜52によりメモリセル領域が形成される。さらに、前記Si基板51上にはゲート絶縁膜53が前記メモリセル領域を覆うように形成され、ゲート電極54が前記ゲート絶縁膜53上に、通常のMOSトランジスタと同様に形成される。ゲート電極54はメモリセル領域を横断するワード線の一部を構成する。さらに、基板51中には、前記ゲート電極54の両側にn型の拡散領域55、56が、ゲート電極54を自己整合マスクに使用して形成される。

【0047】MOSトランジスタがこのようにして形成された後、前記基板51上にはゲート電極54を覆うようにSiO<sub>2</sub>膜57が形成され、前記SiO<sub>2</sub>膜57中



15

には周知のフォトリソグラフィ法により、前記拡散領域 55 を露出するコンタクトホールが形成される。さらに、前記コンタクトホールの形成の後、前記  $\text{SiO}_2$  膜 57 上には  $\text{WSi}$  膜が前記コンタクトホールを含むように堆積され、その結果前記  $\text{WSi}$  膜は前記コンタクトホールにおいて前記拡散領域 55 とコンタクトする。この  $\text{WSi}$  膜をパターニングすることにより、図 13 (A) に示すビット線電極 58 が形成される。

【0048】次に、図 13 (B) の工程において、典型的には  $\text{SiO}_2$  よりなる層間絶縁膜 59 が図 13 (A) の構造上に堆積され、例えば CMP (化学機械研磨) 法を使った平坦化の後、前記層間絶縁膜 59 中に拡散領域 56 を露出する深いコンタクトホール 60 が、高解像度フォトリソグラフィにより形成される。次に、図 13 (C) の工程において、図 13 (B) の構造上に、P により  $n^+$  型にドーパされたポリシリコン膜 61 が、CVD 法により、前記ポリシリコン  $\text{Si}$  膜 61 が前記コンタクトホール 60 を充填するように堆積され、さらに図 14 (D) の工程において前記ポリシリコン膜 61 をドライエッチングにより層間絶縁膜 59 の表面が露出するまでエッチバックすることにより、前記コンタクトホールをポリシリコンプラグ 62 が充填した構造が得られる。

【0049】図 14 (D) の工程では、さらに前記層間絶縁膜 59 上に  $\text{Ti}$  膜 (図示せず) が前記ポリシリコンプラグ 62 を覆うように形成され、さらにその上に Pt, Ir あるいは  $\text{IrO}_2$  を含む導体膜 63 が、スパッタリングにより、例えば表 1 に示す条件で形成される。次に図 14 (E) の工程で、前記導体膜 63 上に PZT あるいは PLZT よりなる強誘電体膜 64 が、表 2 に示す条件のスパッタにより形成される。堆積された強誘電体膜 64 は図 4 の 2 段階熱処理工程により、あるいは酸化雰囲気中、典型的には約  $750^\circ\text{C}$  で急速加熱処理することにより結晶化され、強誘電体膜 64 中に形成されやすい酸素欠陥が解消される。

【0050】次に、図 14 (F) の工程において、前記 PZT 膜 64 およびその下の導体膜 63 は表 4 に示す条件でプラズマエッチングを行なうことにより所望のパターンにパターニングされ、その結果、強誘電体キャパシタを構成する下側電極 65 およびキャパシタ絶縁膜 66 が形成される。次に、図 15 (G) の工程で、図 14 (F) の構造上に前記キャパシタ絶縁膜 66 を覆うように  $\text{SiO}_2$  膜 67 が CVD 法により堆積され、さらに前記  $\text{SiO}_2$  膜 67 中に前記キャパシタ絶縁膜 66 を露出するコンタクトホール 68 が形成される。さらに、図 15 (H) の工程において、前記  $\text{SiO}_2$  膜 67 上に露出したキャパシタ絶縁膜 66 を覆うように Pt パターン 69 が、表 3 に示す酸化条件下でスパッタリングを行なうことにより強誘電体キャパシタの上側電極として形成され、さらに図 15 (I) の工程において、前記  $\text{SiO}_2$  膜 67 上に前記上側電極 69 を覆うように層間絶縁膜 70 が形成される。

16

0 が形成される。また、前記層間絶縁膜 70 上には配線パターン 71 が形成される。

【0051】本実施例による FeRAM では、前記上側電極 69 を酸化雰囲気中で形成することにより電極 69 が緻密化し、キャパシタ絶縁膜 66 との間における O と Pt の相互拡散が抑止され、大きな残留分極 2Pr が強誘電体キャパシタに得られる。また、前記キャパシタ絶縁膜 66 の結晶化を図 4 に示す 2 段階熱処理工程に従って行なうことにより、下側電極パターン 65 が緻密化し、キャパシタ絶縁膜 66 と下側電極パターン 65 との間の O と Pt の相互拡散が効果的に抑止される。また、前記 2 段階熱処理工程の結果、前記強誘電体キャパシタ絶縁膜 66 中において結晶粒が実質的に  $\langle 111 \rangle$  方向に配向し、その結果前記キャパシタ絶縁膜 66 は、FeRAM として望ましい大きな自発分極を示す。

【0052】また、本実施例においてキャパシタ絶縁膜 69 として BST, SBT, あるいは STO を使った場合には、半導体装置は DRAM となる。

【第 4 実施例】図 16 は、本発明の第 4 実施例による高誘電体キャパシタ 80 の構成を、また図 17 は前記高誘電体キャパシタ 80 の製造工程を示す。

【0053】図 16 を参照するに、前記高誘電体キャパシタ 80 は  $\text{Si}$  基板 81 上に  $\text{Ti}$  密着膜 82 と  $\text{TiN}$  拡散障壁膜 83 とを介して形成されており、下側 Ru 電極 84 と、その上の BST 膜 85 と、前記 BST 膜 85 上に形成された上側 Pt 電極 86 とよりなる。図 16 の  $\text{Si}$  基板 81 としては、例えば 5% HF 水溶液により表面の自然酸化膜を除去した (100) 面を有する  $\text{Si}$  ウェハを使い、前記  $\text{Si}$  基板 81 上には前記  $\text{Ti}$  膜 82 および  $\text{TiN}$  膜 83 が、 $350^\circ\text{C}$  の基板温度における DC マグネトロンスパッタリングにより、それぞれ 30 nm および 50 nm の厚さに順次形成されている。

【0054】さらに前記  $\text{TiN}$  膜 83 上には、図 17 の工程 1 において前記 Ru 電極 84 が DC マグネトロンスパッタリングにより、前記  $\text{Ti}$  膜 82 あるいは  $\text{TiN}$  膜 83 を形成するのと同様な条件下で約 500 nm の厚さに形成され、さらに工程 2 において前記 Ru 電極 84 上に、前記 BST 膜 85 が、テトライソプロポキシチタン ( $\text{Ti}[\text{i-OC}_3\text{H}_7]_4$ )、ビステトラメチルヘプタンジオナトストロンチウム-テトラエンアダクト ( $\text{Sr}[\text{THD}]_2\text{-tetraene}$ )、およびビステトラメチルヘプタンジオナトバリウム-テトラエンアダクト ( $\text{Ba}[\text{THD}]_2\text{-tetraene}$ ) を原料とし、Ar をキャリアガス、 $\text{O}_2$  を酸化ガスとした CVD 法により、5 Torr の全圧下、基板温度を  $450^\circ\text{C}$ 、酸素分圧を 2.5 Torr に設定して、約 60 nm の厚さに形成される。上記の条件において、前記 BST 膜 85 は約 1 nm/min の堆積速度で成長する。

【0055】前記 BST 膜 85 が形成された後、工程 3 において、前記 BST 膜 85 は、その下の Ru 電極 84

17

と共に、5 Torr の Ar 雰囲気中、550°C で 10 分間結晶化熱処理される。さらに前記結晶化熱処理工程 3 の後、図 17 の工程 4 において前記 BST 膜 85 は、大気中、400°C の温度で 10 分間熱処理され、前記膜 85 中に形成された酸素欠損が補償される。さらに、前記工程 4 の後、工程 5 においてマスクを使った DC マグネトロンスパッタリングにより前記 BST 膜 85 上に Pt 膜が 100 nm の厚さに堆積され、前記上側 Pt 電極 86 が形成される。工程 5 では、さらにこのようにして得られた上側 Pt 電極 86 をマスクに前記 BST 膜 85 を 5% HF 水溶液中でウェットエッチングし、下側 Ru 電極 84 を露出させる。さらに、このようにして得られた高誘電体キャパシタ 80 について、工程 6 において後程説明する電気特性の測定が行なわれる。

【0056】次に、前記工程 6 における電気特性の測定の後、工程 7 において前記高誘電体キャパシタ 80 は大気中において 400°C で 10 分間熱処理され、さらに工程 8 において電気特性の測定が再びなされた。図 18 は、図 17 の工程 6 における電気特性、特にリーク電流の測定結果を示す。

【0057】図 18 を参照するに、BST 膜 85 として工程 2 で形成された CVD-BST 膜をそのまま使った場合（試料 A）、あるいは結晶化工程 3、酸化工程 4 のいずれか一方だけを行なった BST 膜を使った場合（試料 B、C）には前記高誘電体キャパシタ 80 には実質的なリーク電流が生じるのに対し、前記結晶化工程 3 および酸化工程 4 の双方を行なった BST 膜を使った場合（試料 D）には、高誘電体キャパシタのリーク電流が著しく減少することがわかる。

【0058】図 19 は、前記試料 A~D に対してさらに工程 7 の酸化熱処理工程を行なった試料 A'~D' について行なった、工程 8 の電気特性測定結果を示す。図 19 を参照するに、前記上側電極 86 を形成した後で酸化熱処理工程を行なうことにより、リーク電流はいずれの試料 A'~D' においても顕著に減少するが、特に試料 D について工程 8 の酸化熱処理工程を行なった場合にリーク電流低減の効果が顕著に表れる。

【0059】さらに、図 20 は図 16 の高誘電体キャパシタ 80 を形成条件を多少変更して形成した場合のリーク電流特性（図 17 の試料 A に対応）を、図 21 は図 20 のキャパシタにおいて BST 膜 85 に図 17 の工程 3 の結晶化熱処理を N<sub>2</sub> 雰囲気中での 700°C の急速熱処理工程（RTN）により行なった場合のリーク電流特性（図 17 の試料 B に対応）を、また図 22 は図 20 のキャパシタにおいて、前記 BST 膜 85 に図 17 の工程 3 の結晶化熱処理を、N<sub>2</sub> 雰囲気中での様々な温度の急速熱処理により行い、さらに酸化雰囲気中での熱処理を行なった場合のリーク電流特性（図 17 の試料 D に対応）を示す。

【0060】図 20~22、特に図 22 よりわかるよう

18

に、前記 BST 膜 85 を 500~700°C の RTN により行なった場合、キャパシタ 80 は正電圧が印加された場合でも負電圧が印加された場合でも、印加電圧の絶対値が約 1 V 以内であれば、リーク電流は  $1 \times 10^{-8} \sim 1 \times 10^{-9} \text{ A/cm}^2$  程度に抑制されるのがわかる。一方、図 23 は図 16 の高誘電体キャパシタ 80 のキャパシタ絶縁膜 85 の比誘電率と、前記図 17 の結晶化熱処理工程 3 の温度との関係を示す。

【0061】図 23 より、キャパシタ絶縁膜 85 の比誘電率  $\epsilon$  は、前記結晶化熱処理温度が約 550~650°C の範囲にある場合に最大になることがわかる。図 16 の高誘電体キャパシタを、図 15 (I) の FeRAM において強誘電体キャパシタの代わりに使うことにより、DRAM を形成することができる。かかる高誘電体キャパシタを使った DRAM は微細化しても十分なキャパシタ容量が確保されるため、250 Mbit あるいは 1 Gbit の超大容量 DRAM の製造に有効である。

【第 5 実施例】次に、本発明の第 5 実施例による高誘電体キャパシタの製造方法について説明する。

【0062】本実施例による高誘電体キャパシタは、図 16 の高誘電体キャパシタにおいて前記 Ti 膜 82 および TiN 膜 83 の代わりに Ta 膜を使い、前記 Ru 下側電極 84 の代わりに Pt 電極を使った以外には実質的に同一の構成を有し、図 17 と類似した図 24 の工程により形成される。そこで以下の説明では、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0063】その際、本実施例では前記下側 Pt 電極の酸化を最小化するために、図 17 の工程 4、すなわち酸化性雰囲気中での熱処理工程に対応する工程を、前記下側電極 84 が酸化しないような条件で行なう。より具体的には、図 24 の工程 11 において前記 Si 基板 81 上に、それぞれ符号 82 および 84 で示す前記 Ta 膜および下側 Pt 電極を、基板温度 500°C での DC スパッタリングにより、いずれも 30 nm の厚さに形成する。さらに、前記図 24 の工程 12 において、前記下側 Pt 電極 84 上に前記 BST 膜 85 を、基板温度を 400°C に設定しての RF スパッタリングにより、約 50 nm の厚さに形成する。

【0064】本実施例では、さらに図 24 の工程 13 において、このようにして得られた構造を常圧の不活性雰囲気、例えば N<sub>2</sub> 雰囲気中において、昇温速度を 100°C/min に設定して約 700°C まで急速加熱し、60 秒間保持することにより、前記 BST 膜 85 を結晶化する（RTN 処理）。結晶化の後、本実施例では、さらに図 24 の工程 14 において、先の工程 13 の急速加熱処理工程を終わった試料を石英炉心管を有する拡散炉中に導入し、常圧で O<sub>2</sub> 100% の酸素雰囲気中、400°C で 10 分間保持することにより、前記急速加熱処理工程において前記 BST 膜 85 中に生じた酸素欠損を

19

補償する。その際、前記基板温度は工程 14 における酸化雰囲気中での熱処理によっても前記下側電極 84 が実質的に酸化されないような温度に設定される。

【0065】さらに本実施例では前記酸素欠損の補償処理工程 14 の後、図 24 の工程 15 において前記 B S T 膜 85 上に半径が 0.1 mm の開口部を形成されたメタルマスクが形成され、さらに続く工程 16 において前記メタルマスクを介して P t 電極 86 が、前記 B S T 膜 85 上に形成される。図 25 は、このようにして形成された高誘電体キャパシタのリーク電流特性を示す。ただし図 25 中、工程 11 ~ 16 の全ての工程を経て形成された、すなわち工程 13 の不活性雰囲気中での結晶化熱処理および工程 14 の酸素欠損補償熱処理を行なったキャパシタ (2 s t e p) の特性を◆で、また工程 14 を飛ばして形成された、すなわち工程 13 の不活性雰囲気中での結晶化熱処理のみを行なったキャパシタ (R T N) の特性を□で、さらに工程 13 および 14 を飛ばして形成された、すなわち前記 B S T 膜 85 に対して何らの熱処理も行なわなかったキャパシタ (a s - d e p o) の特性を×で示す。

【0066】図 25 を参照するに、×で示す熱処理を行なわなかったキャパシタに比べて、□で示す結晶化熱処理のみを行なったキャパシタではリーク電流特性が劣化するが、◆で示す酸素欠損補償熱処理を行なったキャパシタでは、リーク電流特性の回復が生じているのがわかる。図 25 のリーク電流特性のみを見ると、×で示した熱処理を省略したキャパシタも優れたリーク電流特性を示すが、図 26 に示す B S T 膜 85 の比誘電率を見ると、前記熱処理を省略したキャパシタ (a s - d e p o) の比誘電率は 50 以下で非常に低く、これは B S T 膜 85 が十分に結晶化していないことを明らかにしている。

【0067】図 26 を参照するに、前記熱処理を省略したキャパシタに比べて B S T 膜 85 の結晶化熱処理を行なったキャパシタ (R T N)、および前記結晶化熱処理に加えて酸素欠損補償熱処理を行なったキャパシタ (2 s t e p) では、B S T 膜 85 の比誘電率が大きく増大し、ほぼ 200 に達することがわかる。さらに図 27 は、前記結晶化熱処理および酸素欠損補償熱処理を行なったキャパシタ (2 s t e p) において、前記結晶化熱処理温度を変化させて前記 B S T 膜 85 の比誘電率を測定した結果を示す。

【0068】図 27 を参照するに、結晶化熱処理温度が 500 ° C だと得られる B S T 膜 85 の比誘電率は 50 程度に過ぎないが、結晶化熱処理温度を 550 ° C に設定すると比誘電率の値は 200 近くまで急増する。さらに結晶化熱処理温度が 650 ° C を越え 700 ° C に達すると、前記比誘電率の値は減少を始める。さらに図 28 は、図 27 の試料のうち結晶化熱処理温度を 600 ° C に設定した場合と 700 ° C に設定した場合につい

20

て、リーク電流特性を比較して示す。

【0069】図 28 を参照するに、結晶化熱処理温度を 600 ° C に設定した場合の方が、結晶化熱処理温度を 700 ° C に設定した場合よりも正電圧印加時におけるリーク電流特性が向上しているのがわかる。以上の結果を総合すると、P t 電極 84 上に B S T 膜 85 を有する高誘電体キャパシタにおいて、結晶化熱処理を N<sub>2</sub> 雰囲気中、550 ° C 以上 700 ° C 未満、好ましくは 650 ° C 以下の範囲の温度で行ない、さらに酸素欠損補償熱処理を 400 ° C 程度の温度で行なうことにより、比誘電率特性の向上とリーク電流特性の向上とを、同時に達成できることがわかる。

【第 6 実施例】次に、本発明の第 6 実施例による高誘電体キャパシタの製造方法について説明する。

【0070】本実施例による高誘電体キャパシタは、図 16 の高誘電体キャパシタと実質的に同一の構成を有し、図 17 の工程と類似した図 29 の工程により形成される。そこで以下の説明では、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。本実施例では前記下側 R u 電極 84 の酸化を最小化するために、図 17 の工程 4、すなわち酸化性雰囲気中での熱処理工程に対応する工程を、前記下側電極 84 が酸化しないような条件で行なう。

【0071】より具体的には、図 29 の工程 21 において前記 S i 基板 81 上に、前記 T i 膜 82、T i N 膜 83 および下側 R u 電極を、基板温度 300 ° C での D C スパッタリングにより、それぞれ 20 nm、50 nm および 500 nm の厚さに形成する。さらに、前記図 29 の工程 22 において、前記下側 R u 電極 84 上に前記 B S T 膜 85 を、基板温度を 400 ° C に設定しての R F スパッタリングにより、約 30 nm の厚さに形成する。

【0072】本実施例では、さらに図 29 の工程 23 において、このようにして得られた構造を常圧の不活性雰囲気、例えば N<sub>2</sub> 雰囲気中において、昇温速度を 100 ° C / m i n に設定して約 600 ° C まで急速加熱し、60 秒間保持することにより、前記 B S T 膜 85 を結晶化する (R T N 処理)。結晶化の後、本実施例では、さらに図 29 の工程 24 において、先の工程 23 の急速加熱処理工程を終わった試料を石英炉心管を有する拡散炉中に導入し、常圧で O<sub>2</sub> 100 % の酸素雰囲気中、400 ° C で 30 分間保持することにより、前記急速加熱処理工程において前記 B S T 膜 85 中に生じた酸素欠損を補償する。その際、前記基板温度は工程 24 における酸化雰囲気中での熱処理によっても前記下側電極 84 が実質的に酸化されないような温度に設定される。

【0073】さらに本実施例では前記酸素欠損の補償処理工程 24 の後、図 29 の工程 25 において前記 B S T 膜 85 上に半径が 0.1 mm の開口部を形成されたメタルマスクが形成され、さらに続く工程 26 において前記

21

メタルマスクを介して Pt 電極 86 が、前記 BST 膜 85 上に形成される。図 30 は、このようにして形成された高誘電体キャパシタのリーク電流特性を示す。

【0074】図 30 を参照するに、本実施例による高誘電体キャパシタは、Pt を下側電極 84 として使った先の実施例の高誘電体キャパシタと同様な、優れたリーク電流特性を有するのがわかる。すなわち、本実施例において下側電極 84 の材質を Pt から Ru に変更しても、リーク電流の増加は観察されない。本実施例における高誘電体キャパシタにおいて、前記 BST 膜 85 は先の実施例の場合よりもさらに大きい約 250 の比誘電率を示した。

【0075】これに対し、従来のように工程 23 の結晶化熱処理と工程 24 の酸素欠損補償熱処理とを一括して、酸化雰囲気中における 450°C を越える温度での高温熱処理を行なった場合には、前記 Ru 下側電極 84、あるいはその下の TiN 膜 83、さらに Ti 膜 84 が BST 膜 85 から拡散した酸素により酸化され、面荒れが生じたり、あるいはバリア層としての機能が損なわれ、前記 TiN 膜 83 を横切る元素の相互拡散が生じたり、さらには下側電極 84 と上側電極 86 との間に短絡が生じたりする問題が発生する。さらに、前記バリア層 83 が酸化されてしまうと、前記下側電極 84 とその下のメモリセルトランジスタとの導通が不良になるおそれがある。

【0076】これに対し、本実施例、および先に説明した実施例では、前記結晶化熱処理工程と酸素欠損補償熱処理工程とを分離し、特に酸素欠損補償熱処理工程を、前記下側電極あるいはその下の TiN バリア層、さらにはその下の Ti 密着層の酸化が生じないような低温において実行することにより、上記従来の問題点を解決する。本実施例では、結晶化熱処理工程は不活性雰囲気中で行なわれるため、下側電極が酸化されることはない。これはまた、本発明では結晶化熱処理工程と酸素欠損補償熱処理工程とが分離されたため、前記 BST 膜 85 を前記下側電極の酸化のおそれなく結晶化させることが可能になり、BST 膜 85 の比誘電率を最大化することが可能になることを意味する。

【0077】図 31～33 は、本実施例による高誘電体キャパシタにおいて、前記 BST 膜 85 の厚さを 30 nm に設定し、前記工程 23 における結晶化熱処理の時間を様々に変化した場合のリーク電流特性を示す。ただし、図 31 においては工程 24 の酸素欠損補償熱処理時間を、全ての試料に対して 10 分間、図 32 においては工程 24 の酸素欠損補償熱処理時間を、全ての試料に対して 20 分間、さらに図 33 においては工程 24 の酸素欠損補償熱処理時間を、全ての試料に対して 30 分間としている。

【0078】図 31～33 を参照するに、結晶化熱処理時間を 5 秒間とし、酸素補償熱処理時間を 10 分間とし

22

た試料（図 31 中×で示す）では、リーク電流がやや増加するが、それ以外の試料ではリーク電流特性はほぼ一定であり、良好な特性が得られているのがわかる。特に、結晶化熱処理時間を 30 秒とし、酸素欠損補償熱処理時間を 30 分とした試料が、最も優れたリーク電流特性を示す。

【0079】なお、図示はしていないが、結晶化熱処理を 90 秒間以上とし、酸素欠損補償熱処理を 60 分とした試料では、前記結晶化熱処理時間を 30 秒、酸素欠損補償熱処理時間を 30 分とした試料よりもリーク電流が増大するの観察された。図 34 は、本実施例による高誘電体キャパシタにおいて、結晶化熱処理時間を様々に変化した場合における、前記 BST 膜 85 の比誘電率の値を示す。

【0080】図 34 を参照するに、前記結晶化熱処理時間が 5 秒間の試料では、おそらく結晶化が不十分なため比誘電率としてやや小さな値が得られるが、熱処理時間を 10 秒間以上にすると比誘電率はほぼ一定になり、また酸素欠損補償熱処理時間を変化させても殆ど変化しないことが確認された。

〔第 7 実施例〕次に、本発明の第 7 実施例による高誘電体キャパシタの製造方法について説明する。

【0081】本実施例による高誘電体キャパシタは、図 16 の高誘電体キャパシタと実質的に同一の構成を有し、図 17 の工程と類似した図 35 の工程により形成される。そこで以下の説明では、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。図 35 を参照するに、工程 31 において前記 Si 基板 81 上に、前記 Ti 膜 82、TiN 膜 83 および下側 Ru 電極を、基板温度 300°C での DC スパッタリングにより、それぞれ 20 nm、50 nm および 500 nm の厚さに形成する。さらに、前記図 35 の工程 32 において、前記下側 Ru 電極 84 上に前記 BST 膜 85 を、基板温度を 400°C に設定しての RF スパッタリングにより、約 30 nm の厚さに形成する。

【0082】本実施例では、さらに図 35 の工程 33 において、このようにして得られた構造を石英炉心管を有する拡散炉中に導入し、常圧で O<sub>2</sub> 100% の酸素雰囲気中、400°C で 30 分間保持することにより、前記 BST 膜 85 中に前記堆積工程 32 において生じた酸素欠損を補償する。その際、前記基板温度は工程 33 における酸化雰囲気中での熱処理によっても前記下側電極 84 が実質的に酸化されないような温度に設定される。

【0083】さらに図 35 の工程 34 において、工程 33 の酸素欠損補償熱処理を済ませた試料を常圧の不活性雰囲気、例えば N<sub>2</sub> 雰囲気中において、昇温速度を 100°C/min に設定して約 600°C まで急速加熱し、60 秒間保持することにより、前記 BST 膜 85 を結晶化する（RTN 処理）。結晶化の後、本実施例では、さらに図 35 の工程 35 において、先の工程 34 の

23

急速加熱処理工程を終わった試料を再び前記石英炉心管を有する拡散炉中に導入し、常圧で $O_2$  100%の酸素雰囲気中、 $400^\circ C$ で30分間保持することにより、前記急速加熱処理工程において前記BST膜85中に生じた酸素欠損を補償する。その際、前記基板温度は工程35における酸化雰囲気中での熱処理によっても前記下側電極84が実質的に酸化されないような温度に設定される。

【0084】さらに本実施例では前記酸素欠損の補償処理工程35の後、図35の工程36において前記BST膜85上に半径が0.1mmの開口部を形成されたメタルマスクが形成され、さらに続く工程37において前記メタルマスクを介してPt電極86が、前記BST膜85上に形成される。図36は、図35の工程31~37により形成された本実施例による高誘電体キャパシタのリーク電流特性を、図35の工程のうち、工程33を飛ばして形成した高誘電体キャパシタのリーク電流特性と比較して示す。ただし図36中、本実施例による高誘電体キャパシタ(図中、「3step」と示す)のリーク電流を●で、また前記工程33を飛ばした高誘電体キャパシタ(図中、「2step」と示す)のリーク電流を×で示す。図36中、前記工程33を飛ばした高誘電体キャパシタは、図29の工程で形成された先の実施例の高誘電体キャパシタに相当する。

【0085】図36を参照するに、このように結晶化熱処理工程の前に酸素欠損補償熱処理を行なった試料のリーク電流特性は、かかる結晶化熱処理工程前の酸素欠損補償熱処理工程を省略した試料と殆ど同じであることがわかる。一方、図37は、図35の工程31~37により形成された本実施例による高誘電体キャパシタにおけるBST膜85の比誘電率を、図35の工程のうち、工程33を飛ばして形成した高誘電体キャパシタ中のBST膜85の比誘電率と比較して示す。ただし図36中、本実施例による高誘電体キャパシタ(図中、「3step」と示す)のBST膜85の比誘電率を●で、また前記工程33を飛ばした高誘電体キャパシタ(図中、「2step」と示す)のBST膜85の比誘電率を×で示す。図36中、前記工程33を飛ばした高誘電体キャパシタは、図29の工程で形成された先の実施例の高誘電体キャパシタに相当する。

【0086】図37を参照するに、本実施例による高誘電体キャパシタでは、BST膜85の比誘電率が、先の実施例の場合に比べて5~10%程度向上した。このように、結晶化熱処理工程に先立って酸素欠損補償熱処理を行なうことにより、リーク電流特性はほとんど変化しないものの、BST膜85の比誘電率を向上させることが可能である。

【第8実施例】次に、本発明の第8実施例による高誘電体キャパシタの製造方法について説明する。

【0087】本実施例による高誘電体キャパシタは、図

24

16の高誘電体キャパシタと実質的に同一の構成を有し、図17の工程と類似した図38の工程により形成される。そこで以下の説明では、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。図38を参照するに、工程41において前記Si基板81上に、前記Ti膜82、TiN膜83および下側Ru電極を、基板温度 $300^\circ C$ でのDCスパッタリングにより、それぞれ20nm、50nmおよび500nmの厚さに形成する。さらに、前記図38の工程42において、前記下側Ru電極84上に前記BST膜85を、基板温度 $400^\circ C$ に設定してのRFスパッタリングにより、約30nmの厚さに形成する。

【0088】本実施例では、さらに図38の工程43において、前記工程42で堆積されたBST膜85を、0.5Torrの減圧 $N_2$ 雰囲気中、 $400^\circ C$ の温度で30分間熱処理し、結晶化させる。結晶化の後、本実施例では、さらに図38の工程44において、先の工程43の急速加熱処理工程を終わった試料を石英炉心管を有する拡散炉中に導入し、常圧で $O_2$  100%の酸素雰囲気中、 $400^\circ C$ で30分間保持することにより、前記急速加熱処理工程において前記BST膜85中に生じた酸素欠損を補償する。その際、前記基板温度は工程44における酸化雰囲気中での熱処理によっても前記下側電極84が実質的に酸化されないような温度に設定される。

【0089】さらに本実施例では前記酸素欠損の補償処理工程44の後、図38の工程45において前記BST膜85上に半径が0.1mmの開口部を形成されたメタルマスクが形成され、さらに続く工程46において前記メタルマスクを介してPt電極86が、前記BST膜85上に形成される。図39は、図38の工程41~46により形成された本実施例による高誘電体キャパシタのリーク電流特性を、図38の工程において酸素欠損補償熱処理工程44を省略して形成した高誘電体キャパシタのリーク電流特性と比較して示す図である。ただし図39中、図38の工程41~46により形成された本実施例による高誘電体キャパシタのリーク電流特性を●で、また前記図38の工程において酸素欠損補償熱処理工程44を省略して形成した高誘電体キャパシタのリーク電流特性を×で示す。

【0090】図39を参照するに、BST膜85をこのように減圧下で結晶化させた場合でも、前記工程44において酸素欠損熱処理を下側電極が酸化しないような温度範囲で行なうことにより、高誘電体キャパシタのリーク電流特性を向上させることができることがわかる。なお、このようにして形成された本実施例による高誘電体キャパシタでは、工程41~46により形成した場合でも、また工程44を省略した場合でも、前記BST膜85は約200の比誘電率を有することが確認された。

【0091】以上の各実施例において、前記下側電極8

25

4は先に説明したPtあるいはRuに限定されるものではなく、Ir, IrO<sub>2</sub>, RuO<sub>2</sub>, SrRuO<sub>3</sub>, WN等を使うことも可能である。同様に、上側電極86もPtに限定されるものではなく、Ru, Ir, IrO<sub>2</sub>, RuO<sub>2</sub>, SrRuO<sub>3</sub>, WN, TiN等を使うこともできる。さらに、前記高誘電体膜85も前記BSTに限定されるものではなく、Ta<sub>2</sub>O<sub>5</sub>, STO, あるいはPZT, PLZT, SBTを使うこともできる。

【第9実施例】次に、本発明の第9実施例による強誘電体キャパシタの製造方法について、図40を参照しながら説明する。ただし、本実施例による強誘電体キャパシタは、先に図3(A), (B)で説明した強誘電体キャパシタと実質的に同じ構成を有する。従って、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0092】図40を参照するに、工程51において、本実施例においても図3(A)に示すように、SiO<sub>2</sub>膜32により覆われたSi基板31上にPt/Ti構造の下側電極33が、表1に示す条件で形成され、さらに工程52において、前記下側電極33上にPLZT膜34が表2に示す条件で形成される。本実施例では、さらに工程53において、前記PLZT膜34が図41に示す温度制御プログラムに従って熱処理される。

【0093】より具体的に説明すると、工程53の第1段階Aにおいて、前記PLZT膜34はAr雰囲気中において750°Cまで急速加熱され、次に第2段階Bにおいて酸化雰囲気中、750°Cで60秒間保持される。さらに、前記第2段階Bに続く第3段階Cにおいて、基板温度が室温まで降下される。例えば、前記第1段階Aでは、基板温度を100°C/min、あるいはそれ以上の速度で昇温する。

【0094】図41の温度制御プログラムでは、第1段階Aでは熱処理が不活性雰囲気中でなされるため前記下側電極33が酸化されることはなく、しかも750°C前後の高温に曝されるため前記下側電極33中に再結晶による緻密化が生じ、その結果、前記第2段階で熱処理雰囲気が酸化雰囲気に切り替わっても、前記下側電極33が酸化することはほとんどない。

【0095】図42(A), (B)は、図41の熱処理を酸化雰囲気中、および図41に示すように不活性雰囲気と酸化雰囲気を切替えてで行なった場合の、前記下側電極33中におけるOの分布を、Augerスペクトル分析により求めた結果を示す。このうち、図42(A)は、図41の熱処理を酸化雰囲気中のみで行なった場合を、図42(B)は図41の熱処理を図示したように昇温中は不活性雰囲気中で、保持中は酸化雰囲気中で行なった場合を示す。

【0096】図42(A), (B)を参照するに、熱処理を酸化雰囲気中で行なった図42(A)の場合には、前記下側電極33中に実質的な量のOとTiが含まれるが、図42(B)に示す本実施例の場合には、下側電極

26

33中に含まれるOとTiの量が実質的に減少することがわかる。これは、図41に示す熱処理において、前記第1段階Aの熱処理を不活性雰囲気中で行なうことにより、下側電極33が実質的に緻密化していることを示している。

【0097】ふたたび図40に戻って、前記工程53の後、工程54において前記PLZT膜34上には上側Pt電極35が酸化雰囲気中、先の表3に示す条件でスパッタリングを行なうことで形成され、さらに工程55において前記上側Pt電極35およびPLZT膜34を先の表4に示す条件でプラズマエッチングされ、図3

(B)に示すのと実質的に同じ構造の強誘電体キャパシタが得られる。

【0098】図43(A)および43(B)は、先の図40の工程53において、第1段階Aの熱処理と第2段階Bの熱処理をいずれも酸化雰囲気中において行なった場合と、図41に示すように第1段階Aの熱処理を不活性雰囲気中で行ない、第2段階Bの熱処理を酸化雰囲気中において行なった場合の、得られたPLZT膜34のX線回折パターンを示す。

【0099】図43(A), 43(B)を参照するに、前記第1段階Aおよび第2段階Bの熱処理をいずれも酸化雰囲気中で行なった場合には、PLZTの(111)ピークの高さは(100)ピークの高さに比べて低く、大部分の結晶が<100>方向に配向していることがわかる。これに対し、本実施例のように工程53の熱処理において、前記第1段階Aの熱処理を不活性雰囲気中で行ない、前記第2段階Bの熱処理を酸化雰囲気中で行なった場合には、図43(B)に示すようにPLZTの(111)ピークが(100)ピークよりもはるかに高くなり、前記PLZT膜34中においてPLZT結晶が主として<111>方向に配向していることがわかる。PLZT膜34が<111>方向に配向することにより、本実施例による強誘電体キャパシタは残留分極の値が最大化される。

【0100】なお、本実施例においても、前記強誘電体膜34はPLZTに限定されるものではなく、PZTあるいはその他のペロブスカイト型構造を有する強誘電体あるいは高誘電体結晶であってもよい。さらに、前記下側電極はTi膜上にスパッタされたPt膜に限定されるものではなく、Ru, Ir等の耐熱金属、さらにはRuO<sub>2</sub>, IrO<sub>2</sub>等の導電性酸化物であってもよい。

【0101】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0102】

【発明の効果】請求項1〜3, 8〜9記載の本発明の特徴によれば、強誘電体キャパシタを有する半導体装置の製造において、前記強誘電体キャパシタの上側電極を酸

27

化雰囲気中で形成することにより、上側電極が緻密化し、強誘電体キャパシタの特性を大きく向上させることができる。

【0103】請求項4～7記載の本発明の特徴によれば、さらにペロブスカイト型強誘電体あるいは高誘電体キャパシタ中の誘電体膜を結晶化する工程を、最初に不活性雰囲気中で熱処理し、次いで酸化雰囲気中において熱処理することにより、誘電体膜と下側電極との界面における元素の相互拡散を抑止でき、キャパシタのリーク電流を著しく低減させることができる。また強誘電体膜では膜中の結晶方位が所望の方向に揃うため、残留分極の大きさが最大化される。

【0104】また請求項10～13記載の本発明によれば、前記酸化雰囲気中での熱処理を、不活性雰囲気中での熱処理とは別に、高誘電体キャパシタの下側電極が酸化しないような温度で実行することにより、下側電極の酸化、およびこれに伴う欠陥の発生が回避される。また、酸化雰囲気中での熱処理を不活性雰囲気中での熱処理と切り離して行なうことにより、前記不活性雰囲気中での熱処理を高い温度で行なうことが可能になり、高誘電体膜の誘電率が最大化される。

【0105】さらに、請求項14記載の本発明の特徴によれば、強誘電体膜を熱処理する際に、不活性雰囲気中で熱処理温度まで急速に昇温させることで下側電極が緻密化し、その結果その後で酸化雰囲気中で結晶化処理を行なっても、下側電極の酸化が最小限に抑制される。また、このように熱処理された強誘電体膜は<111>方向に結晶が配向し、その結果残留分極の値が最大になる。

【図面の簡単な説明】

【図1】従来の強誘電体キャパシタを備えた半導体装置の構成を示す図である。

【図2】強誘電体の分極特性を示す図である。

【図3】(A)、(B)は本発明の第1実施例および第2実施例による強誘電体キャパシタの製造工程を示す図である。

【図4】本発明第1実施例による強誘電体キャパシタのキャパシタ絶縁膜を結晶化する熱処理工程を示す図である。

【図5】本発明第1実施例による強誘電体キャパシタの電気特性を示す図(その1)である。

【図6】本発明第1実施例による強誘電体キャパシタの電気特性を示す図(その2)である。

【図7】本発明第1実施例による強誘電体キャパシタの電気特性を示す図(その3)である。

【図8】(A)、(B)は、本発明第1実施例による強誘電体キャパシタのキャパシタ絶縁膜のX線回折パターンを、従来の方法で作製した強誘電体キャパシタのキャパシタ絶縁膜のX線回折パターンと比較して示す図である。

28

【図9】従来の方法で作製した強誘電体キャパシタ内における、Auger分析で求めた元素分布を示す図である。

【図10】本発明第1実施例による強誘電体キャパシタ内における、Auger分析で求めた元素分布を示す図である。

【図11】(A)、(B)は、本発明第1実施例による強誘電体キャパシタの断面構造とAuger分析で求めた元素分布を示す図である。

【図12】(A)、(B)は、従来の方法で作製した強誘電体キャパシタの断面構造とAuger分析で求めた元素分布を示す図である。

【図13】(A)～(C)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その1)である。

【図14】(D)～(F)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その2)である。

【図15】(G)～(I)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その3)である。

【図16】本発明の第4実施例による高誘電体キャパシタの構成を示す図である。

【図17】図16の高誘電体キャパシタの製造工程を示す図である。

【図18】図16の高誘電体キャパシタの特性を示す図(その1)である。

【図19】図16の高誘電体キャパシタの特性を示す図(その2)である。

【図20】図16の高誘電体キャパシタの特性を示す図(その3)である。

【図21】図16の高誘電体キャパシタの特性を示す図(その4)である。

【図22】図16の高誘電体キャパシタの特性を示す図(その5)である。

【図23】図16の高誘電体キャパシタの比誘電率と結晶化熱処理温度との関係を示す図である。

【図24】本発明の第5実施例による高誘電体キャパシタの製造工程を示す図である。

【図25】図24の工程で製造された高誘電体キャパシタのリーク電流特性を示す図である。

【図26】図24の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理との関係を示す図である。

【図27】図24の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理温度との関係を示す図である。

【図28】図24の工程で製造された高誘電体キャパシタのリーク電流特性を示す別の図である。

【図29】本発明の第6実施例による高誘電体キャパシタの製造工程を示す図である。

29

【図30】図29の工程で製造される高誘電体キャパシタのリーク電流特性を示す図である。

【図31】図29の工程で製造される高誘電体キャパシタのリーク電流特性を示す別の図である。

【図32】図29の工程で製造される高誘電体キャパシタのリーク電流特性を示すさらに別の図である。

【図33】図29の工程で製造される高誘電体キャパシタのリーク電流特性を示すさらに別の図である。

【図34】図29の工程で製造される高誘電体キャパシタの比誘電率を示す図である。

【図35】本発明の第7実施例による高誘電体キャパシタの製造工程を示す図である。

【図36】図35の工程で製造された高誘電体キャパシタのリーク電流特性を示す図である。

【図37】図35の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理温度との関係を示す図である。

【図38】本発明の第8実施例による高誘電体キャパシタの製造工程を示す図である。

【図39】図38の工程で製造された高誘電体キャパシタのリーク電流特性を示す図である。

【図40】本発明の第9実施例による強誘電体キャパシタの製造工程を示す図である。

【図41】図40中の熱処理工程における温度制御プログラムを示す図である。

【図42】(A)、(B)は、図40の工程で製造された強誘電体キャパシタにおける下側電極中の元素分布を、従来の方法で製造された強誘電体キャパシタのものと比較して示す図である。

【図43】(A)、(B)は、図40の工程で製造され\*

30

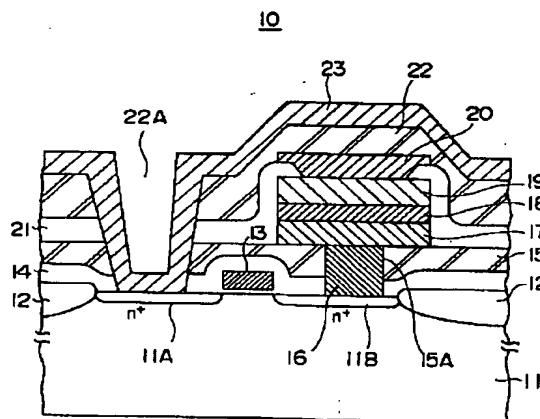
\*た強誘電体キャパシタにおける強誘電体膜のX線回折パターンを、従来の方法で製造された強誘電体キャパシタのものと比較して示す図である。

【符号の説明】

- 11, 31, 51 基板
- 30 強誘電体キャパシタ
- 32  $\text{SiO}_2$  膜
- 33 下側電極層
- 33A 下側電極パターン
- 34 強誘電体膜
- 35 上側電極層
- 35A 上側電極パターン
- 52 フィールド酸化膜
- 53 ゲート絶縁膜
- 54 ゲート電極
- 55, 56 拡散領域
- 57 CVD絶縁膜
- 58 ビット線電極
- 59, 70 層間絶縁膜
- 60 コンタクトホール
- 61 ポリシリコン膜
- 62 ポリシリコンプラグ
- 63 Pt/Ti膜
- 64 PLZT膜
- 65 下側電極
- 66 強誘電体膜
- 67 絶縁膜
- 68 コンタクトホール
- 69 上側電極
- 71 配線パターン

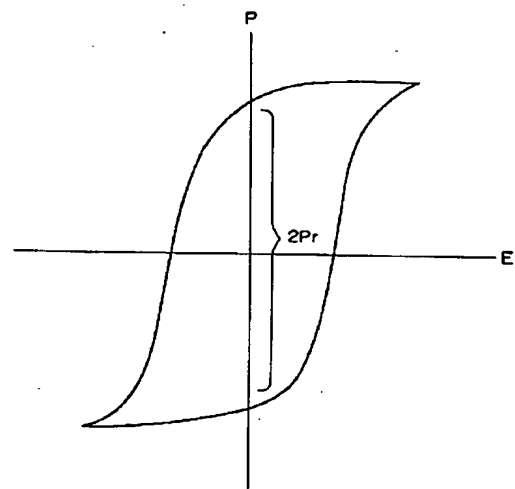
【図1】

従来の強誘電体キャパシタを備えた半導体装置の構成を示す図



【図2】

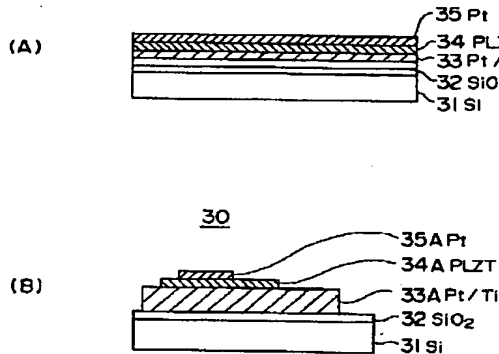
強誘電体の分極特性を示す図





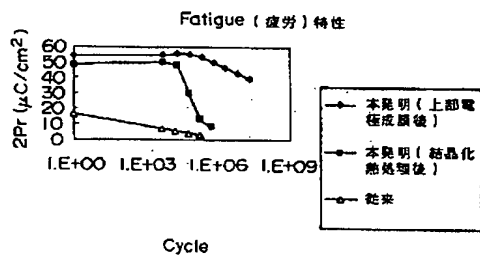
【図3】

(A), (B) は本発明の第1実施例および第2実施例による強誘電体キャパシタの製造工程を示す図



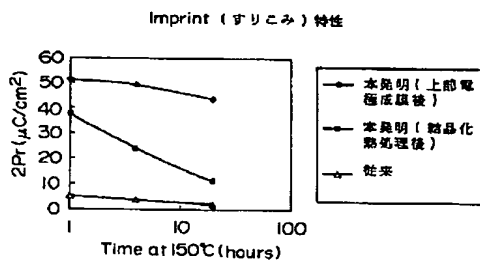
【図5】

本発明第1実施例による強誘電体キャパシタの電気特性を示す図 (その1)



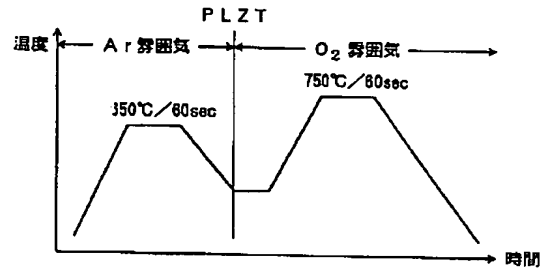
【図7】

本発明第1実施例による強誘電体キャパシタの電気特性を示す図 (その3)



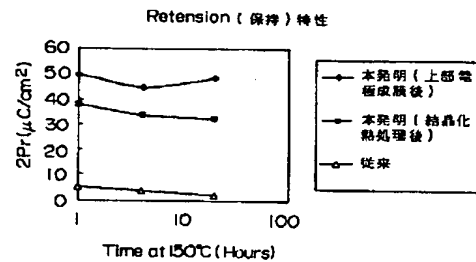
【図4】

本発明第1実施例による強誘電体キャパシタのキャパシタ絶縁膜を結晶化する熱処理工程を示す図



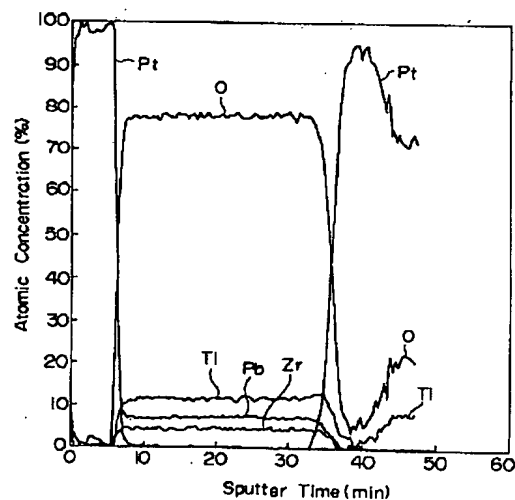
【図6】

本発明第1実施例による強誘電体キャパシタの電気特性を示す図 (その2)



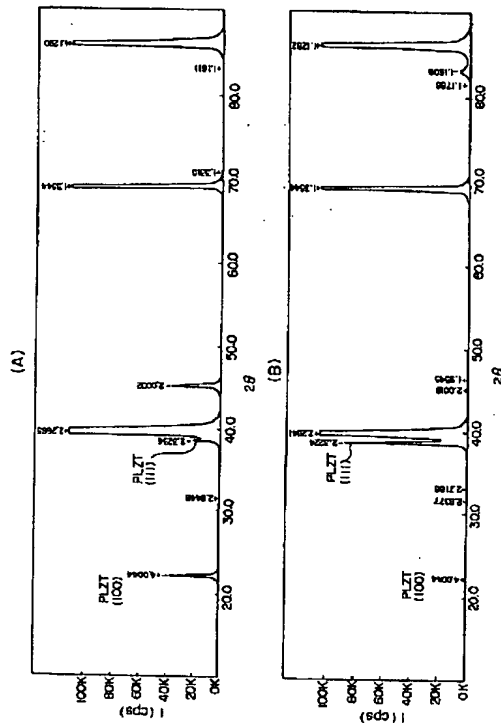
【図9】

従来の方で作製した強誘電体キャパシタ内におけるAuger分析で求めた元素分布を示す図



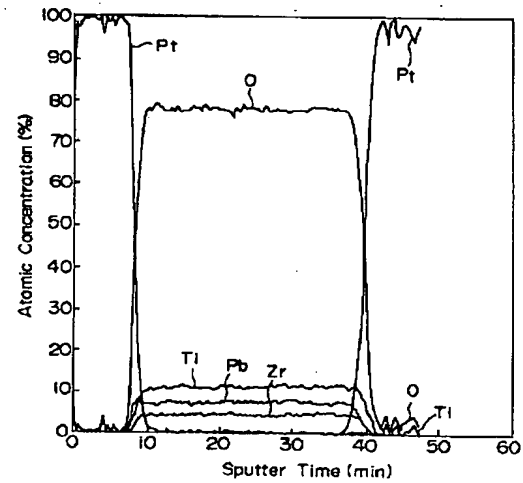
【図8】

(A), (B)は、本発明第1実施例による強誘電体キャパシタのキャパシタ絶縁膜のX線回折パターンを、従来の方法で作製した強誘電体キャパシタのキャパシタ絶縁膜のX線回折パターンと比較して示す図



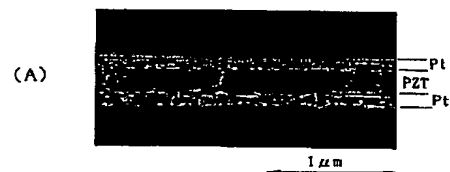
【図10】

本発明第1実施例による強誘電体キャパシタ内における、Auger分析で求めた元素分布を示す図



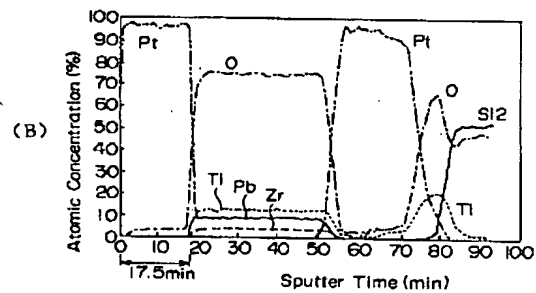
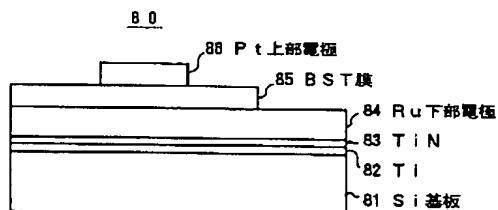
【図11】

(A), (B)は、本発明第1実施例による強誘電体キャパシタのF面構造とAuger分析で求めた元素分布を示す図



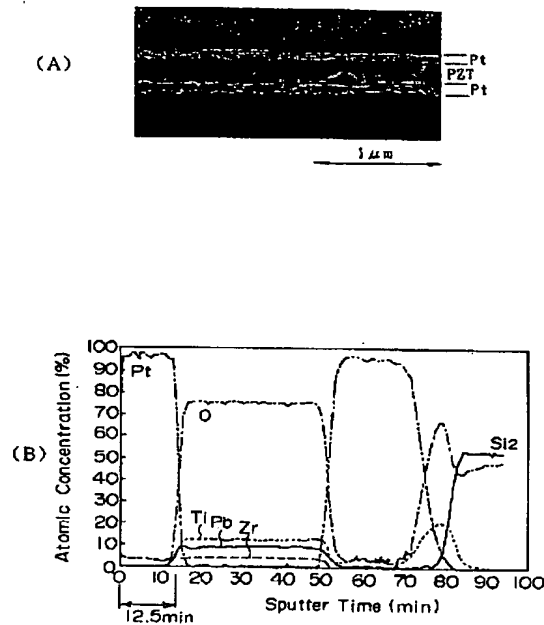
【図16】

本発明の第4および第5実施例による  
高誘電体キャパシタの構成を示す図



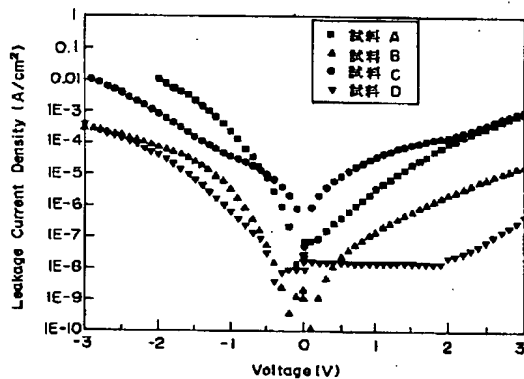
【図12】

(A)、(B)は、従来の方法で作製した強誘電体キャパシタの断面構造とAuger分析で求めた元素分布を示す図



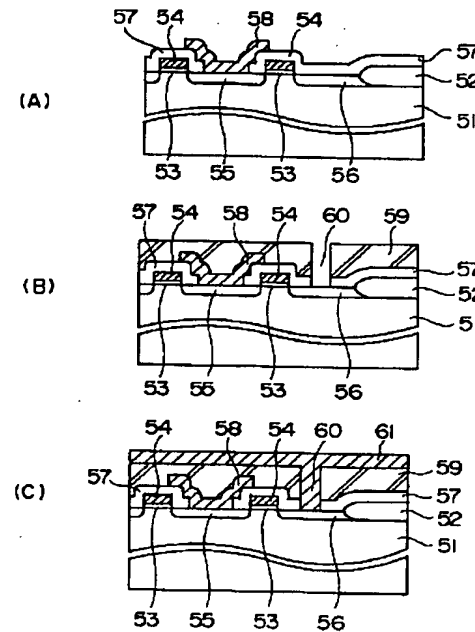
【図18】

図16の高誘電体キャパシタの特性を示す図(その1)



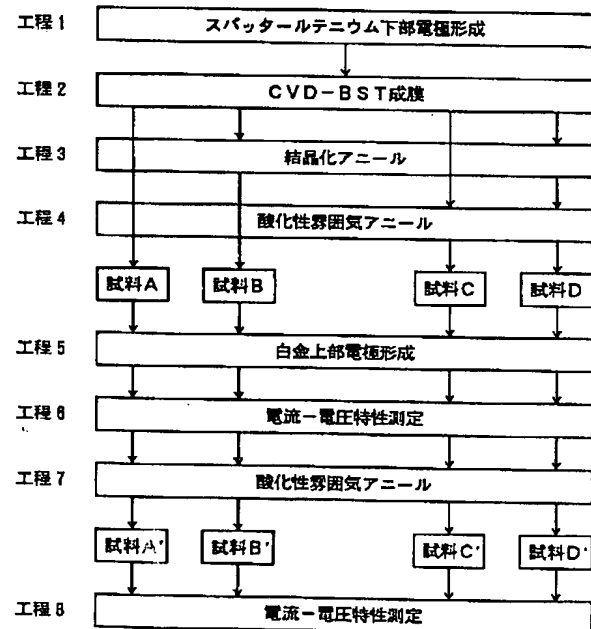
【図13】

(A)~(C)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その1)



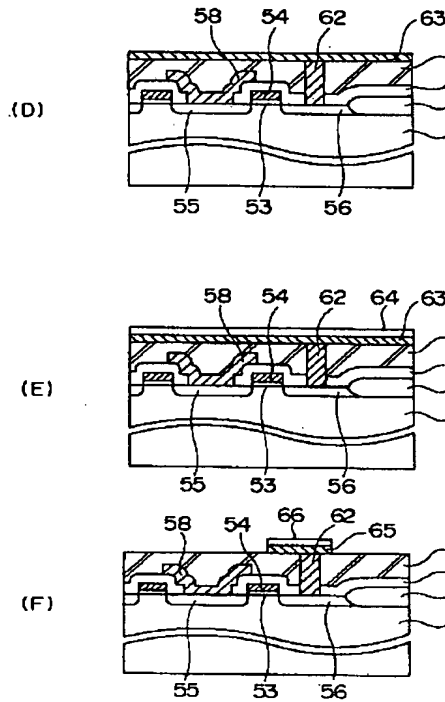
【図17】

図16の高誘電体キャパシタの製造工程を示す図



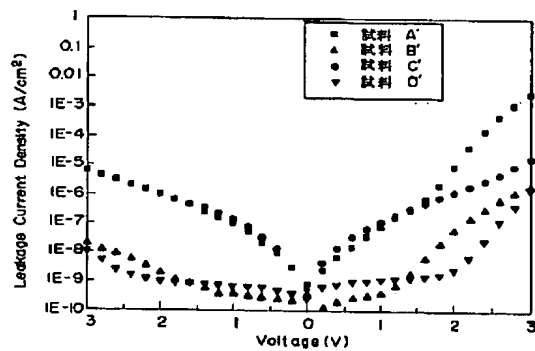
【図14】

(D)~(F)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その2)



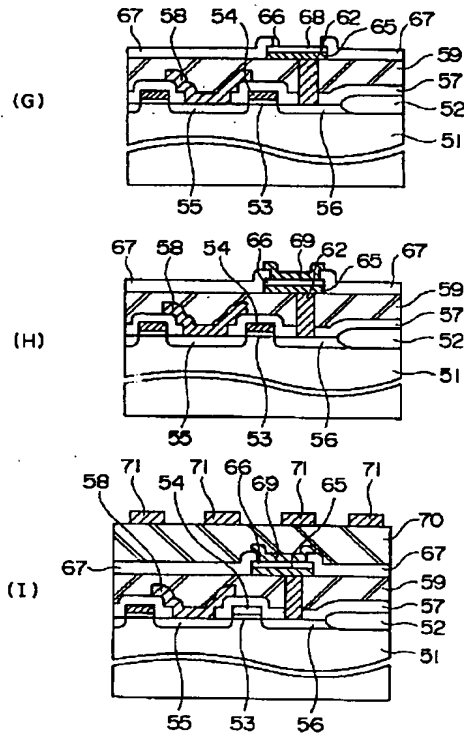
【図19】

図16の高誘電体キャパシタの特性を示す図(その2)



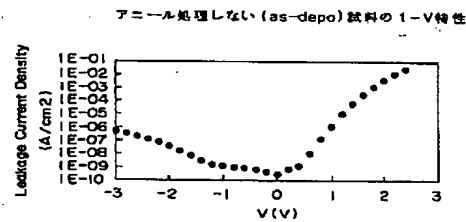
【図15】

(G)~(I)は本発明の第3実施例による強誘電体キャパシタを有する半導体装置の製造工程を示す図(その3)



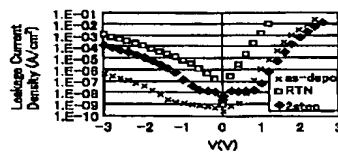
【図20】

図16の高誘電体キャパシタの特性を示す図(その3)



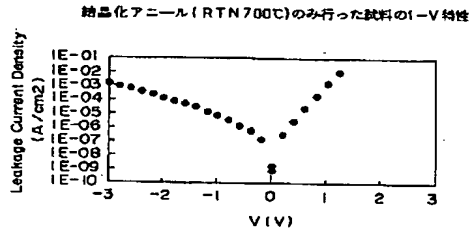
【図25】

図24の工程で製造された高誘電体キャパシタのリーク電流特性を示す図



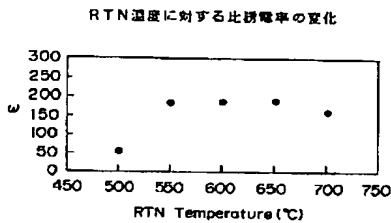
【図21】

図16の高誘電体キャパシタの特性を示す図(その4)



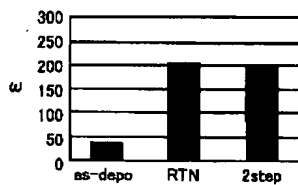
【図23】

図16の高誘電体キャパシタの誘電率と結晶化熱処理温度との関係を示す図



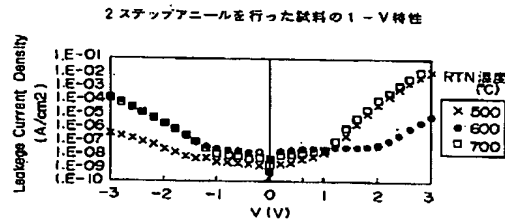
【図28】

図24の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理との関係を示す図



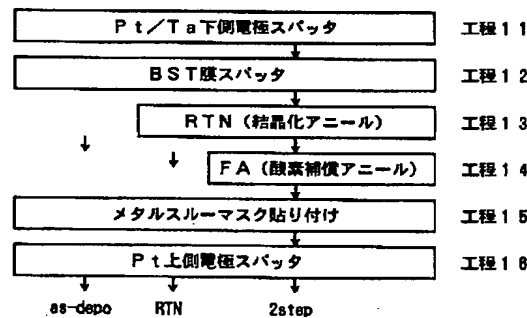
【図22】

図16の高誘電体キャパシタの特性を示す図(その5)



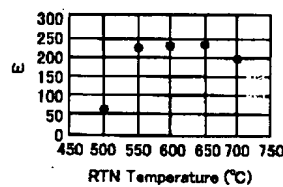
【図24】

本発明の第5実施例による高誘電体キャパシタの製造工程を示す図



【図27】

図24の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理温度との関係を示す図



【図30】

【図31】

図24の工程で製造された高誘電体キャパシタのリーク電流特性を示す別の図

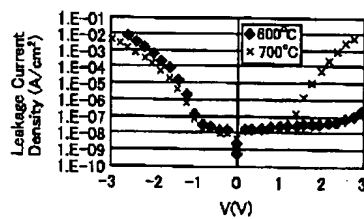


図29の工程で製造される高誘電体キャパシタのリーク電流特性を示す図

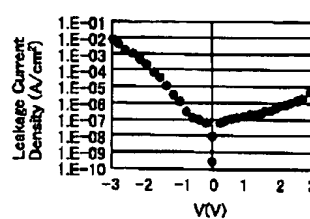
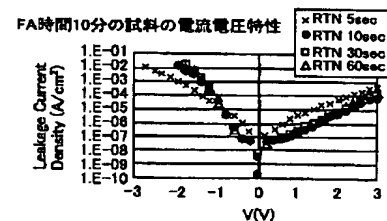
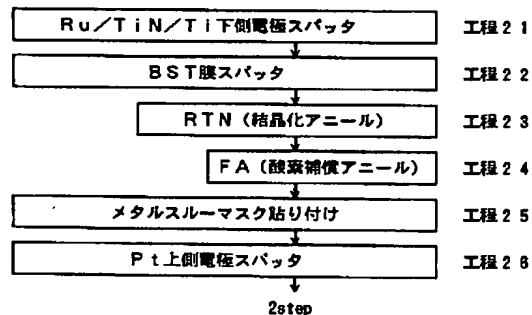


図29の工程で製造される高誘電体キャパシタのリーク電流特性を示す別の図



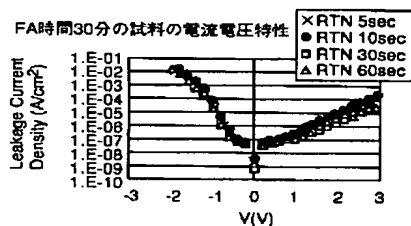
【図29】

本発明の第6実施例による高誘電体キャパシタの製造工程を示す図



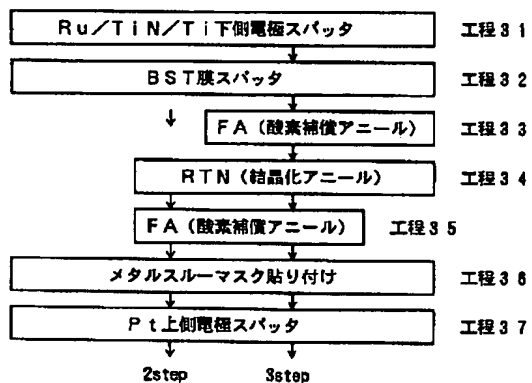
【図33】

図29の工程で製造される高誘電体キャパシタのリーク電流特性を示すさらに別の図



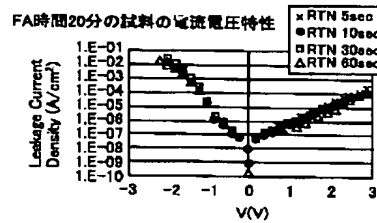
【図35】

本発明の第7実施例による高誘電体キャパシタの製造工程を示す図



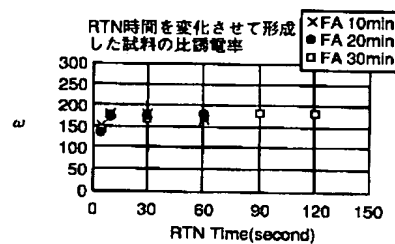
【図32】

図28の工程で製造される高誘電体キャパシタのリーク電流特性を示すさらに別の図



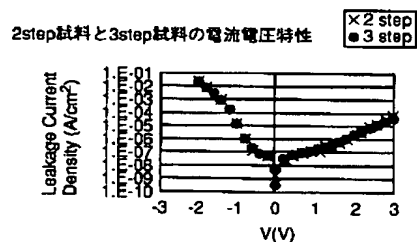
【図34】

図29の工程で製造される高誘電体キャパシタの比誘電率を示す図



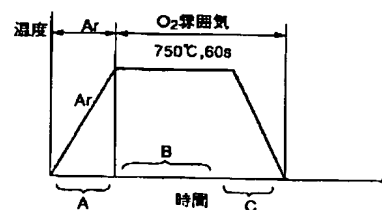
【図36】

図35の工程で製造された高誘電体キャパシタのリーク電流特性を示す図



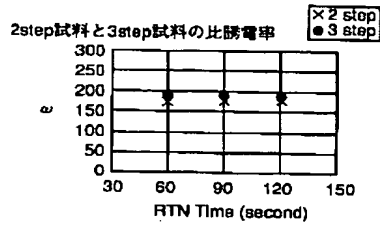
【図41】

図40中の熱処理工程における温度制御プログラムを示す図



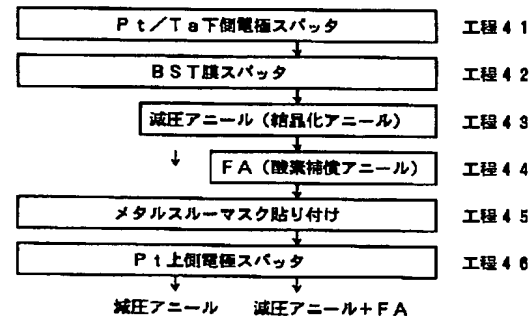
【図37】

図35の工程で製造された高誘電体キャパシタの比誘電率と結晶化熱処理温度との関係を示す図



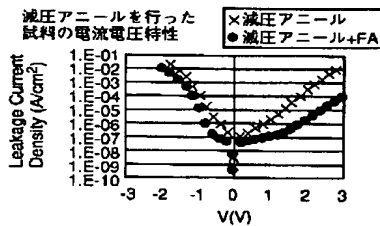
【図38】

本発明の第8実施例による高誘電体キャパシタの製造工程を示す図



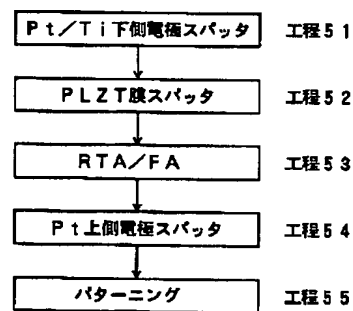
【図39】

図38の工程で製造された高誘電体キャパシタのリーク電流特性を示す図



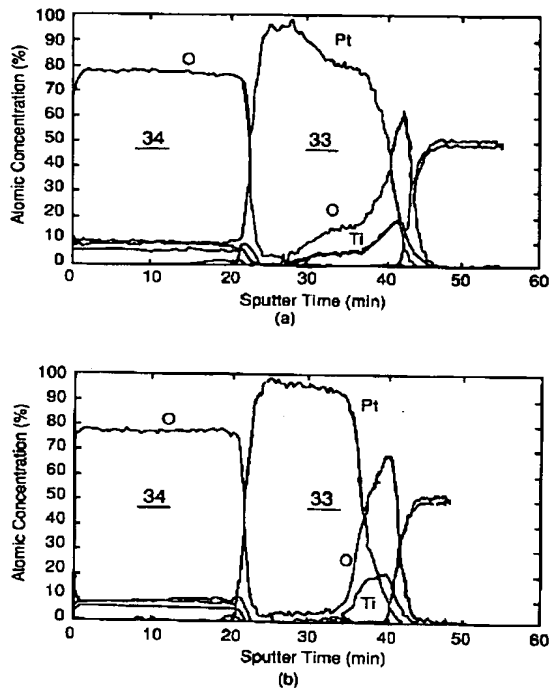
【図40】

本発明の第9実施例による高誘電体キャパシタの製造工程を示す図



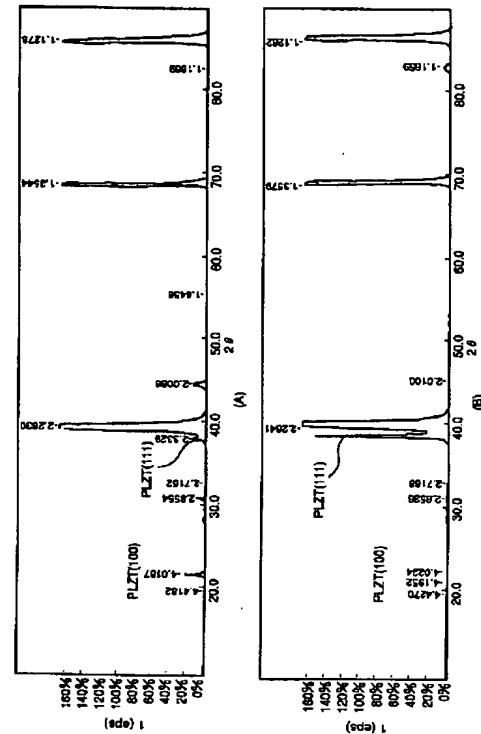
【図42】

(A),(B)は、図40の工程で製造された強誘電体キャパシタにおける下側電極中の元素分佈を、従来の方法で製造された強誘電体キャパシタのものと比較して示す図



【図43】

(A),(B)は、図40の工程で製造された強誘電体キャパシタにおける強誘電体膜のX線回折パターンを、従来の方法で製造された強誘電体キャパシタのものと比較して示す図



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/8247  
29/788  
29/792

(72) 発明者 高井 一章

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 山内 英彰

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内